

# PATENT ABSTRACTS OF JAPAN

(11) Publication number :

2002-076111

(43) Date of publication of application : 15.03.2002

(51) Int. Cl.

H01L 21/76  
H01L 27/04  
H01L 21/822  
H01L 27/08  
H01L 29/786  
H01L 29/861

(21)Application number : 2000-322634

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22) Date of filing : 23.10.2000

(72)Inventor : IPPOSHI TAKASHI

IWAMATSU TOSHIAKI

(30)Priority

Priority number : 2000176884 Priority date : 13.06.2000 Priority country : JP

(54) SEMICONDUCTOR DEVICE, MANUFACTURING METHOD, AND RESISTOR

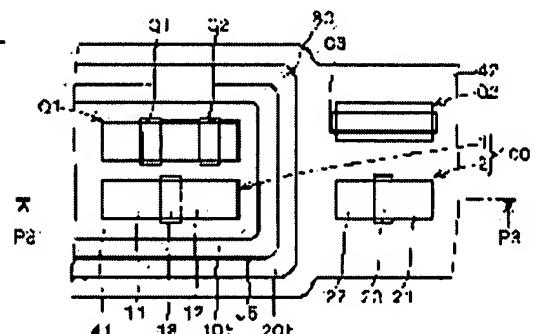
(57) Abstract:

## PROBLEM TO BE SOLVED: To suppress leakage

current at a p-n junction.

**SOLUTION:** An N- type semiconductor layer 10 that a partial isolation body 41 is formed on its surface and a P- type semiconductor layer 20 that a partial isolation body 42 is formed on its surface are formed on an insulator 9. The semiconductor layer 10 is provided with a source/drain 11, 12 that are the P+ type semiconductor layer, and thus a PMOS transistor 1 is formed. The semiconductor layer 20 is provided with a source/drain 21, 22 that is the N+ type semiconductor layer, and thus a NMOS transistor 2 is formed. In a CMOS transistor,

100 consisting of transistors 1, 2, there is the p-n junction J5 which is formed with the semiconductor layers 10, 20. Because the p-n junction J5 exists in the position that is apart from isolation bodies 41, 42 and thus has very little crystal defects, the leakage current at this position is



very small.

---

#### LEGAL STATUS

[Date of request for examination] 18.10.2007

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] A front face is prepared on said front face of an insulating substrate and said substrate at least. With the 1st semi-conductor layer of the 1st conductivity type, and said 1st conductivity type, the 2nd semi-conductor layer with high impurity concentration lower than said 1st semi-conductor layer, The 3rd semi-conductor layer of the 2nd conductivity type opposite to said 1st conductivity type, and the semi-conductor film which has the 4th semi-conductor layer with high impurity concentration lower than said 3rd semi-conductor layer with said 2nd conductivity type, It has the insulating segregant isolated and formed from said front face of said substrate in the front face of said semi-conductor film of a side far from said substrate. Said 2nd semi-conductor layer and said 4th semi-conductor layer form pn junction covering the thickness direction of said semi-conductor film. The semiconductor device whose maximum of the location of said pn junction [ make forward the direction which goes to said segregant from the boundary of said segregant and said semi-conductor film along said front face of said substrate, and ] on the basis of said boundary is 2 micrometers or less.

[Claim 2] Said pn junction is a semiconductor device according to claim 1 which has the part which separates from said segregant and is located.

[Claim 3] The semiconductor device according to claim 2 with which said pn junction of the part which separates from said segregant and is located forms a semiconductor device.

[Claim 4] It is the semiconductor device according to claim 3 which functions as contact to as opposed to [ said 1st semi-conductor layer, said 2nd semi-conductor layer, said 4th semi-conductor layer, and said 3rd semi-conductor layer adjoin this order, and ] said pn junction in said 1st semi-conductor layer and said 3rd semi-conductor layer.

[Claim 5] It is the semiconductor device according to claim 2 on which said 1st semi-conductor layer and said 2nd semi-conductor layer function as the source / drain layers of the MOS transistor of a conductivity type different, respectively by said 1st semi-conductor layer, said 4th semi-conductor layer, said 2nd semi-conductor layer, and said 3rd semi-conductor layer adjoining this order.

[Claim 6] The semiconductor device according to claim 2 or 5 further equipped with covering whose field which touches said pn junction of the part which separates from said segregant and is located is insulation.

[Claim 7] Said 2nd semi-conductor layer is a semiconductor device according to claim 2 on which it is prepared into said 4th semi-conductor layer, said 1st semi-conductor layer of a pair is prepared into said 2nd semi-conductor layer, and said 1st semi-conductor layer of said pair functions as contact to said 2nd semi-conductor layer.

[Claim 8] The 1st semi-conductor layer of the 1st conductivity type with which the front face was prepared on said front face of an insulating substrate and said substrate at least, The insulating segregant isolated and formed from said front face of said substrate in the front face of said 1st semi-conductor layer of a side far from said substrate, The resistor equipped with the 2nd semi-conductor layer of the 2nd conductivity type opposite to said 1st conductivity type which forms the pn junction isolated with said segregant with said 1st semi-conductor layer, and is formed into said 1st semi-conductor layer,

extending very much on the front face of said substrate from said front face of said 1st semi-conductor layer.

[Claim 9] The resistor according to claim 8 which is formed into said 2nd semi-conductor layer, and is further equipped with the 3rd semi-conductor layer of a pair with high impurity concentration higher than said 2nd semi-conductor layer with said 2nd conductivity type.

[Claim 10] The resistor according to claim 9 further equipped with a wrap gate electrode for said pn junction.

[Claim 11] The resistor according to claim 9 further equipped with covering whose field which touches said pn junction of the part which separates from said segregant and is located is insulation.

[Claim 12] (a) It is formed on an insulator of the 1st semi-conductor layer of the 1st conductivity type, and the 2nd semi-conductor layer of the 2nd conductivity type opposite to said 1st conductivity type. Establish the pn junction installed very much by said insulator from the front face of said 1st semi-conductor layer and said 2nd semi-conductor layer, and an insulating segregant is set on said front face of said 1st semi-conductor layer of a side far from said insulator, and said 2nd semi-conductor layer. The process isolated and established from said pn junction and said insulator, and the process which carries out pair formation of the 3rd semi-conductor layer of the 2nd conductivity type with high impurity concentration higher than said 2nd semi-conductor layer as the 1st source / drain layer into the 1st semi-conductor layer of (b) above, (c) The process which carries out pair formation of the 4th semi-conductor layer of the 1st conductivity type with high impurity concentration higher than said 1st semi-conductor layer as the 2nd source / drain layer into said 2nd semi-conductor layer, (d) The manufacture approach of a semiconductor device which equips said pn junction list with the process which forms an insulator layer on said the 1st source / drain layer of a pair, and said the 2nd source / drain layer.

[Claim 13] The manufacture approach of a semiconductor device according to claim 12 that said insulator layer is formed in the process which forms the gate dielectric film of the MOS transistor of a different conductivity type which has said the 1st source / drain, and said the 2nd source/drain, respectively.

[Claim 14] The manufacture approach of a semiconductor device according to claim 12 that said insulator layer is formed in the process which forms the sidewall of the gate electrode of the MOS transistor of a different conductivity type which has said the 1st source / drain, and said the 2nd source/drain, respectively.

[Claim 15] The semi-conductor film with which a front face is prepared on said front face of an insulating substrate and said substrate at least, and at least one pn junction is formed covering the thickness direction, It is alternatively formed on said semi-conductor film, and has the metallic-compounds layer which is the compound of said semi-conductor film and metal. The semiconductor device whose maximum of all the locations of said pn junction arranged so that the direction which faces to said semi-conductor film from the boundary of said compound layer and said semi-conductor film may be made forward along said front face of said substrate and an electrical potential difference may be impressed at least on the basis of said boundary is 2 micrometers or less.

[Claim 16] The semiconductor device according to claim 15 which is formed on said pn junction and is further equipped with the mask which obstructs combination with the metal of said semi-conductor film.

[Claim 17] Said mask is a semiconductor device according to claim 16 which has the same configuration in the gate and the thickness direction of the MOS transistor formed in said semi-conductor film.

[Claim 18] (a) It is formed on an insulator of the 1st semi-conductor layer and the 2nd semi-conductor layer from which a conductivity type differs mutually. The pn junction installed very much by said insulator from the front face of said 1st semi-conductor layer and said 2nd semi-conductor layer is established. The process which isolates and prepares the insulating segregant which has opening which carries out opening of said pn junction from said insulator in the front face of said 1st semi-conductor layer of a side far from said insulator, and said 2nd semi-conductor layer, (b) The process which forms in said 1st semi-conductor layer the semiconductor device which has the gate, (c) The process which covers said pn junction in said opening, and forms the mask of said 1st semi-conductor layer and the 2nd

semi-conductor layer on which either is exposed in said opening at least, (d) The manufacture approach of a semiconductor device equipped with the process which combines said front face of said exposed 1st semi-conductor layer and said 2nd semi-conductor layer with a metal.

[Claim 19] Said process (b) and (c) are the manufacture approach of a semiconductor device according to claim 18 performed in the same process.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

[Field of the Invention] A substrate is related with the semiconductor device and resistor which present the configuration with which the insulating segregant was prepared to the semi-conductor film in the opposite side, without this invention contacting a substrate about the semiconductor device which has pn junction at the semi-conductor film especially prepared on the insulating substrate.

**[0002]**

[Description of the Prior Art] From the former, the so-called SOI (Semiconductor On Insulator) structure is proposed. Drawing 62 is a sectional view which illustrates the configuration of the CMOS (Complementary Metal Oxide Semiconductor) transistor 200 which presents SOI structure. The semi-conductor layer 20 of P-mold is formed on the insulator 9, and the insulator 9 and the isolated insulating segregant 40 are formed in the front face of a side far from the insulator 9. Thus, being isolated with an insulator, it is prepared in the front face of the semi-conductor film prepared on the insulator, and the segregant which separates the front face of a semi-conductor layer is made to call a "fractional separation object" tentatively.

[0003] Into the semi-conductor layer 20, the source / drain layers 21 and 22 of N+ mold are formed, and these constitute the NMOS transistor 2 with the gate electrode 23 prepared through gate dielectric film on the semi-conductor layer 20. Thus, the NMOS transistor which presents SOI structure with a fractional separation object is indicated by "Bulk-Layout-Compatible 0.18 mum SOI-CMOS Technology Using Body-Fixed Partial Trench Isolation (PTI)" (Y. Hirano et al., 1999 IEEE International SOI Conference, Oct.1999, pp 131-132).

[0004] On the insulator 9, the semi-conductor layer 10 of N-mold is formed further. And the gate electrode 13 prepared through gate dielectric film on the source / drain layers 11 and 12 of P+ mold formed into the semi-conductor layer 10, and the semi-conductor layer 10 constitutes the PMOS transistor 1.

[0005] The source / drain layer 12 penetrates the semi-conductor layer 10 for the semi-conductor layer 20 in the thickness direction, respectively, and the source / drain layer 22 divides each semi-conductor layers 10 and 20 on cross sectional view. Between the source / drain layers 12 and 22, 10t of semi-conductor layers which are a part of 20t of semi-conductor layers which are a part of semi-conductor layer 20, and semi-conductor layer 10 exists. Between the lower part 40 of the fractional separation object 40, i.e., a fractional separation object, and an insulator 9, 20t of semi-conductor layers and 10t of semi-conductor layers adjoin mutually, and they form pn junction J1. For example, if pn junction J1 is formed in the phase which forms the semi-conductor layers 10 and 20 before formation of the fractional separation object 40 and the fractional separation object 40 is formed after that on the boundary of the semi-conductor layers 10 and 20, pn junction J1 is located in an above-mentioned mode.

[0006] As mentioned above, by LSI (Large Scale Integrated circuit), as semi-conductor film of SOI structure, the semi-conductor layer of a different conductivity type, i.e., p mold, and n mold is formed, and, generally an MOS transistor and a bipolar transistor are formed using these semi-conductor layers.

[0007]

[Problem(s) to be Solved by the Invention] However, with the structure shown in drawing 62, it was observed that originate in existing under the fractional separation object 40, and unusual leakage current occurs in pn junction J1. Then, this invention controls the location of pn junction and proposes the semiconductor device which controls leakage current.

[0008]

[Means for Solving the Problem] It is the semiconductor device which starts claim 1 among this invention. The substrate of at least insulation [ front face ], It is prepared on said front face of said substrate. With the 1st semi-conductor layer of the 1st conductivity type, and said 1st conductivity type The 2nd semi-conductor layer with high impurity concentration lower than said 1st semi-conductor layer, The 3rd semi-conductor layer of the 2nd conductivity type opposite to said 1st conductivity type, and the semi-conductor film which has the 4th semi-conductor layer with high impurity concentration lower than said 3rd semi-conductor layer with said 2nd conductivity type, It has the insulating segregant isolated and formed from said front face of said substrate in the front face of said semi-conductor film of a side far from said substrate. And said 2nd semi-conductor layer and said 4th semi-conductor layer form pn junction covering the thickness direction of said semi-conductor film, the direction which goes to said segregant from the boundary of said segregant and said semi-conductor film is made forward along said front face of said substrate, and the maximum of the location of said pn junction on the basis of said boundary is 2 micrometers or less.

[0009] It is the semiconductor device according to claim 1 which starts claim 2 among this invention, and said pn junction has the part which separates from said segregant and is located.

[0010] It is the semiconductor device according to claim 2 which starts claim 3 among this invention, and said pn junction of the part which separates from said segregant and is located forms a semiconductor device.

[0011] It is the semiconductor device according to claim 3 which starts claim 4 among this invention, and said 1st semi-conductor layer, said 2nd semi-conductor layer, said 4th semi-conductor layer, and said 3rd semi-conductor layer adjoin this order, and said 1st semi-conductor layer and said 3rd semi-conductor layer function as contact to said pn junction.

[0012] It is the semiconductor device according to claim 2 which starts claim 5 among this invention, and said 1st semi-conductor layer, said 4th semi-conductor layer, said 2nd semi-conductor layer, and said 3rd semi-conductor layer adjoin this order, and said 1st semi-conductor layer and said 2nd semi-conductor layer function as the source / drain layers of the MOS transistor of a conductivity type different, respectively.

[0013] It is the semiconductor device according to claim 2 or 5 which starts claim 6 among this invention, and it is further equipped with covering whose field which touches said pn junction of the part which separates from said segregant and is located is insulation.

[0014] It is the semiconductor device according to claim 2 which starts claim 7 among this invention, and said 2nd semi-conductor layer is prepared into said 4th semi-conductor layer, said 1st semi-conductor layer of a pair is prepared into said 2nd semi-conductor layer, and said 1st semi-conductor layer of said pair functions as contact to said 2nd semi-conductor layer.

[0015] It is the resistor which starts claim 8 among this invention. The substrate of at least insulation [ front face ], The insulating segregant isolated and formed from said front face of said substrate in the front face of the 1st semi-conductor layer of the 1st conductivity type formed on said front face of said substrate, and said 1st semi-conductor layer of a side far from said substrate, It has the 2nd semi-conductor layer of the 2nd conductivity type opposite to said 1st conductivity type which forms the pn junction isolated with said segregant with said 1st semi-conductor layer, and is formed into said 1st semi-conductor layer, extending very much on the front face of said substrate from said front face of said 1st semi-conductor layer.

[0016] It is the resistor according to claim 8 which starts claim 9 among this invention, and it is formed into said 2nd semi-conductor layer, and is further equipped with the 3rd semi-conductor layer of a pair with high impurity concentration higher than said 2nd semi-conductor layer with said 2nd conductivity

type.

[0017] It is the resistor according to claim 9 which starts claim 10 among this invention, and it is further equipped with a wrap gate electrode for said pn junction.

[0018] It is the resistor according to claim 9 which starts claim 11 among this invention, and it is further equipped with covering whose field which touches said pn junction of the part which separates from said segregant and is located is insulation.

[0019] It is the manufacture approach of a semiconductor device which starts claim 12 among this invention. (a) It is formed on an insulator of the 1st semi-conductor layer of the 1st conductivity type, and the 2nd semi-conductor layer of the 2nd conductivity type opposite to said 1st conductivity type. Establish the pn junction installed very much by said insulator from the front face of said 1st semi-conductor layer and said 2nd semi-conductor layer, and an insulating segregant is set on said front face of said 1st semi-conductor layer of a side far from said insulator, and said 2nd semi-conductor layer. The process isolated and established from said pn junction and said insulator, and the process which carries out pair formation of the 3rd semi-conductor layer of the 2nd conductivity type with high impurity concentration higher than said 2nd semi-conductor layer as the 1st source / drain layer into the 1st semi-conductor layer of (b) above, (c) The process which carries out pair formation of the 4th semi-conductor layer of the 1st conductivity type with high impurity concentration higher than said 1st semi-conductor layer as the 2nd source / drain layer into said 2nd semi-conductor layer, (d) Said pn junction list is equipped with the process which forms an insulator layer on said the 1st source / drain layer of a pair, and said the 2nd source / drain layer.

[0020] It is the manufacture approach of a semiconductor device according to claim 12 which starts claim 13 among this invention, and said insulator layer is formed in the process which forms the gate dielectric film of the MOS transistor of a different conductivity type which has said the 1st source / drain, and said the 2nd source/drain, respectively.

[0021] It is the manufacture approach of a semiconductor device according to claim 12 which starts claim 14 among this invention, and said insulator layer is formed in the process which forms the sidewall of the gate electrode of the MOS transistor of a different conductivity type which has said the 1st source / drain, and said the 2nd source/drain, respectively.

[0022] It is the semiconductor device which starts claim 15 among this invention, and a front face is prepared on said front face of an insulating substrate and said substrate at least, and it is alternatively formed on the semi-conductor film with which at least one pn junction is formed covering that thickness direction, and said semi-conductor film, and is equipped with the metallic-compounds layer which is the compound of said semi-conductor film and metal. And the maximum of all the locations of said pn junction arranged so that the direction which faces to said semi-conductor film from the boundary of said compound layer and said semi-conductor film may be made forward along said front face of said substrate and an electrical potential difference may be impressed at least on the basis of said boundary is 2 micrometers or less.

[0023] It is the semiconductor device according to claim 15 which starts claim 16 among this invention, and it is prepared on said pn junction and is further equipped with the mask which obstructs combination with the metal of said semi-conductor film.

[0024] It is the semiconductor device according to claim 16 which starts claim 17 among this invention, and said mask has the same configuration in the gate and the thickness direction of an MOS transistor which are formed in said semi-conductor film.

[0025] It is the manufacture approach of a semiconductor device which starts claim 18 among this invention. (a) It is formed on an insulator of the 1st semi-conductor layer and the 2nd semi-conductor layer from which a conductivity type differs mutually. The pn junction installed very much by said insulator from the front face of said 1st semi-conductor layer and said 2nd semi-conductor layer is established. The process which isolates and prepares the insulating segregant which has opening which carries out opening of said pn junction from said insulator in the front face of said 1st semi-conductor layer of a side far from said insulator, and said 2nd semi-conductor layer, (b) The process which forms in said 1st semi-conductor layer the semiconductor device which has the gate, (c) The process which

covers said pn junction in said opening, and forms the mask of said 1st semi-conductor layer and the 2nd semi-conductor layer on which either is exposed in said opening at least, (d) It has the process which combines said front face of said exposed 1st semi-conductor layer and said 2nd semi-conductor layer with a metal.

[0026] It is the manufacture approach of a semiconductor device according to claim 18 which starts claim 19 among this invention, and said process (b) and (c) are performed in the same process.

[0027]

[Embodiment of the Invention] Before explaining the gestalt of operation of fundamental thought . this invention of invention, the fundamental thought of this invention is explained. Of course, this fundamental thought also exists under the category of this invention.

[0028] In this invention, leakage current is controlled by forming pn junction in the low location of defect density. The effect of stress is taken into consideration to decrease the defect density of the location which should form pn junction in this invention. For example, if a fractional separation object is formed in a semi-conductor front face, on the semi-conductor front face in the location distant from the fractional separation object concerned, stress will be heightened and defect density will increase. Or stress is heightened also in the semi-conductor which the front face combined with the metal, for example, the silicide-ized silicon, and fixing of a defect and the gettering of an impurity arise.

[0029] So, in this invention, the defect density in the pn junction concerned offers a low semiconductor device by forming pn junction [ near / which separates from the location which stress produces or stress produces further / the location ].

[0030] Drawing 1 is the sectional view showing about 40 fractional separation object structure. N-mold semi-conductor layer 10 and P-mold semi-conductor layer 20 form pn junction J10a, J10b, J10c, and any one [ J10d ]. Pn junction J10 a-J10d has an end on the front face of an insulator 9, and extends covering the thickness direction of the semi-conductor film which the semi-conductor layers 10 and 20 constitute. The insulating fractional separation object 40 is formed in the front face of the semi-conductor layer 10 at least at a side far from an insulator 9, and is being isolated in the insulator 9.

[0031] The location nearest to the semi-conductor layer 20 or the most distant location from the semi-conductor layer 10 is defined as an edge of the fractional separation object 40 among the boundaries of the semi-conductor film and the fractional separation object 40 which the semi-conductor layers 10 and 20 constitute. And the direction which faces to the fractional separation object 40 in parallel with the front face of an insulator 9 from the edge concerned is made forward, and distance on the basis of the edge concerned is set to d. If it says roughly, distance d can also be grasped as a distance from which the fractional separation object 40 classifies and is acquired to the semi-conductor layers 10 and 20 and which faces to the fractional separation object 40 from the so-called active region.

[0032] Drawing 2 is a graph which shows the dependency over the location d of the defect density of the semi-conductor layers 10 and 20. If a value d exceeds 2 micrometers so that I may be understood from a graph, defect density will increase rapidly. By forming the fractional separation object 40, this requires stress for the semi-conductor layers 10 and 20, and is considered to be for defect density to increase.

[0033] In drawing 1 , delta means 2 micrometers. When the semi-conductor layers 10 and 20 form pn junction J10a whose maximum da of distance d is below delta, leakage current here is very small. However, when the semi-conductor layers 10 and 20 form pn junction J10b to which the maximum db of distance d exceeds delta, control of leakage current here cannot be expected. It can be said that there is effectiveness of mitigation of leakage current as compared with the case where the semi-conductor layers 10 and 20 form pn junction J10c to which even the minimum value of distance d exceeds delta like pn junction J10c.

[0034] Pn junction J10d, the maximum of distance d exists in the location used as negative. This is the case where pn junction J10d does not exist under the fractional separation object 40, but the all exist in an active region. Of course also in pn junction J10d, leakage current is very small.

[0035] As mentioned above, so that the distance which met in the above-mentioned direction from the edge of a fractional separation object may satisfy the conditions that pn junction is located within the limits of 2 micrometers or less If it puts in another way, from the boundary of a fractional separation

object and the semi-conductor film which two semi-conductor layers of a mutually different conductivity type accomplish so that the conditions that the maximum of the location of pn junction which looks at the direction which goes to a segregant as forward is 2 micrometers or less may be satisfied. By designing the physical relationship of two semi-conductor layers and fractional separation objects concerned, the leakage current in the pn junction concerned can be made very small.

[0036] Drawing 3 is the top view showing the structure in which the fractional separation object 45 exposes active regions 31a and 31b. The semi-conductor layers 10 and 20 will be located in a space back side. The boundary M1 shown with the chain line in drawing shows the location of 2 micrometers from active regions 31a and 31b.

[0037] The semi-conductor layers 10 and 20 are in contact with the insulator (equivalent to the insulator 9 of drawing 1) which is not illustrated, and form pn junction J41 or pn junction J42. Since pn junction J41 and J42 all exists in the active-region 31a and 31b side rather than a boundary M1, the leakage current of a there can be controlled. Pn junction J41 exposes pn junction J42 in active regions 31a and 31b to being covered with the fractional separation object 45, without exposing in active regions 31a and 31b. As mentioned above, the pn junction J42 in the part exposed in active regions 31a and 31b corresponds, when d will be negative, if it \*\* and says drawing 1 and drawing 2.

[0038] Drawing 4 is the top view showing the case of being separated from  $2\delta = 4$  micrometers of active-region 31a and 31b. Boundary M1a and M1b are shown in the location of  $\delta = 2$  micrometers from active regions 31a and 31b, respectively. The semi-conductor layers 10 and 20 form either of the pn junction J43 and J44 which all extends very much in an insulator 9 from the fractional separation object 45. Since pn junction J43 exists in the active-region 31b side rather than boundary M1b, leakage current here can be controlled. However, since pn junction J44 is located in the distance from active regions 31a and 31b rather than boundary M1a and M1b in a location A when the semi-conductor layers 10 and 20 form pn junction J44, leakage current cannot be controlled in a location A. Therefore, the pn junction over boundary M1a and M1b is not desirable in this way at the point which controls leakage current.

[0039] Drawing 5 is a top view which illustrates the case where the side which active regions 31a and 31b have has not countered. Boundary M1a and M1b show the location of 2 micrometers from active regions 31a and 31b, respectively, and both have lapped between two top-most vertices which touch recently [ of active regions 31a and 31b ], and form one boundary M1 as a whole. The semi-conductor layers 10 and 20 form either of the pn junction J45 and J46 which all extends very much in an insulator 9 from the fractional separation object 45. Since it exists in the active-region 31a or active-region 31b side rather than the boundary M1 even if active regions 31a and 31b are not located in a line in the extension direction of pn junction J45, the leakage current in pn junction J45 can be controlled.

[0040] However, although active regions 31a and 31b are not located in a line in the extension direction of pn junction J46 but it has the part near the active-region 31b side rather than boundary M1b when the semi-conductor layers 10 and 20 form pn junction J46, it also has the part far from the active-region 31a side rather than boundary M1a. Therefore, the pn junction J45 is more desirable than pn junction J46 at the point which controls leakage current.

[0041] Drawing 6 is the sectional view showing the structure where the semi-conductor which the front face combined with the metal forms pn junction. N-mold semi-conductor layer 10 and P-mold semi-conductor layer 20 make silicon a subject, and form any one of pn junction J50a and the J50b. 20s of silicide film which P-mold semi-conductor layer 20 isolated in the insulator 9 on some of the front faces at least is formed. Pn junction J50a and J50b have an end on the front face of an insulator 9, and extend covering the thickness direction of the semi-conductor film which the semi-conductor layers 10 and 20 constitute.

[0042] The location nearest to the semi-conductor layer 20 or the most distant location from the semi-conductor layer 10 is defined as an edge of 20s of silicide film among film [ which the semi-conductor layers 10 and 20 constitute / the semi-conductor film and 20s of silicide film ] boundaries. And the direction which goes to the semi-conductor layer 10 in parallel with the front face of an insulator 9 from the edge concerned is made forward, and distance on the basis of the edge concerned is set to t. If it says

roughly, distance  $t$  can also be grasped as a distance which goes to the semi-conductor layer 10 from 20s of silicide film.

[0043] Drawing 7 is a graph which shows the dependency over the location  $t$  of the defect density of the semi-conductor layers 10 and 20. If a value  $t$  exceeds 2 micrometers so that it may be understood from a graph, defect density will increase rapidly. Since the film internal stress produces fixing of a defect, and the gettering of an impurity by forming 20s of silicide film as mentioned above, this is considered to be because for generating of the crystal defect within limits with the near to be controlled.

[0044] In drawing 6,  $\tau$  means 2 micrometers. When the semi-conductor layers 10 and 20 form pn junction J50a, leakage current here is very small. It is because it is satisfied even with distance  $t=t_a$  of the location most distant from 20s of silicide film among pn junction J50a of  $t_a \leq \tau$ . However, when the semi-conductor layers 10 and 20 form pn junction J50b to which the maximum  $t_b$  of distance  $t$  exceeds  $\tau$ , control of leakage current here cannot be expected.

[0045] Pn junction J50a is presenting the configuration from which distance  $t$  serves as negative [ near the insulator 9 ]. In order for pn junction not to connect too hastily, pn junction J50a must not contact 20s of silicide film, but like pn junction J50a, if 20s of silicide film is not contacted, even if it has the location used as  $t < 0$ , the effectiveness of this invention can be acquired.

[0046] As mentioned above, so that the distance which met in the above-mentioned direction from the edge of the silicide film may satisfy the conditions that pn junction is located within the limits of 2 micrometers or less. The silicide film formed in the front face of the semi-conductor film which two semi-conductor layers of a mutually different conductivity type will accomplish if it puts in another way, So that the conditions that the maximum of the location of pn junction which looked at the direction which goes to the semi-conductor film front face in which the silicide film is not formed from the boundary of the semi-conductor film in a semi-conductor film front face and the silicide film as forward is 2 micrometers or less may be satisfied. By designing the physical relationship of two semi-conductor layers and silicide film concerned, the leakage current in the pn junction concerned can be made very small. For control of leakage current, it is desirable to satisfy the above-mentioned conditions in all the pn junction to which an electrical potential difference is impressed at least like the pn junction which P well and N well form.

[0047] Drawing 8 is the top view showing the physical relationship of the silicide film and pn junction. The semi-conductor layers 10 and 20 form pn junction J51 or pn junction J52. And in the front face of the semi-conductor layer 20, 20s of silicide film is formed alternatively. The boundary N1 shown with the chain line in drawing shows the location of 2 micrometers from 20s of silicide film.

[0048] Since the semi-conductor layers 10 and 20 are in contact with the insulator (equivalent to the insulator 9 of drawing 6) which is not illustrated and pn junction J51 exists in 20s side of silicide film rather than a boundary N1, the leakage current of a there can be controlled. Since pn junction J52 exists in the semi-conductor layer 10 side rather than a boundary N1, control of leakage current is not expectable.

[0049] Drawing 9 is the top view showing the case of being separated from  $2\tau = 4$  micrometers of two separated silicide film. Boundary N1a and N1b are shown in the location of  $\tau = 2$  micrometers, respectively from the silicide film shown by being divided up and down all over drawing. The semi-conductor layers 10 and 20 form the pn junction J54 shown with the pn junction J53 shown as a continuous line, or a broken line.

[0050] When pn junction J53 is formed, the silicide film shown by being divided up and down all over drawing is the silicide film 20s and 10s formed in the front face of the semi-conductor layers 20 and 10, respectively. And since pn junction J53 exists in 10s side of silicide film rather than boundary N1b, leakage current here can be controlled. However, when pn junction J54 is formed, each silicide film shown by being divided up and down all over drawing is 20s of silicide film formed in the front face of the semi-conductor layer 20 (20s of signs in the parenthesis of the silicide film by the side of drawing Nakashita corresponds, when the pn junction J54 shown with the broken line is formed). In a location C, since pn junction J54 is located in the distance from 20s of silicide film rather than boundary N1a and N1b, it cannot control leakage current in a location C. Therefore, the pn junction over boundary N1a and

N1b is not desirable in this way at the point which controls leakage current.

[0051] Drawing 10 is a top view which illustrates the case where the side which the silicide film has not countered. Boundary N1a and N1b show the location of 2 micrometers from the silicide film 10s and 20s formed in the front face of the semi-conductor layers 10 and 20, respectively. Boundary N1a and N1b have lapped between two top-most vertices which touch silicide film [ 10s and 20s ] recently, and form one boundary N1 as a whole. The case where either of the pn junction J55 and J56 is formed very much in an insulator 9 from the front face of the semi-conductor film which the semi-conductor layers 10 and 20 constitute is illustrated. even if the silicide film 10s and 20s is not located in a line in the extension direction of pn junction J55 -- pn junction J55 -- a boundary N1 -- silicide film [ 10s and 20s ] either -- since it exists in the side, the leakage current in pn junction J55 can be controlled.

[0052] However, although the silicide film 10s and 20s is not located in a line in the extension direction of pn junction J56 but pn junction J56 has the part near 20s side of silicide film rather than boundary N1b when the semi-conductor layers 10 and 20 form pn junction J56, it also has the part far from 10s side of silicide film rather than boundary N1a. Therefore, the pn junction J55 is more desirable than pn junction J56 at the point which controls leakage current.

[0053] It does not matter even if the semiconductor device is formed in active regions 31a and 31b and it is not. Moreover, it does not matter even if the semiconductor device which uses the silicide film 10s and 20s as an electrode is formed and it is not. The looseness of such a limit is suitable when raising the degree of freedom of the layout of a semiconductor device.

[0054] Drawing 11 is a top view which illustrates the configuration in which the silicide film used as the electrode of a semiconductor device was formed. The field in which the semi-conductor layers 10 and 20 form pn junction J61 in, and 4 is not formed for 10s 1 to 10s the silicide film among the front faces of the semi-conductor layers 10 and 20 is covered with the fractional separation object 45 except for the after-mentioned exception. If it puts in another way, except for the after-mentioned exception, 4 is formed in the front face of the semi-conductor layer 10 for 10s 1 to 10s the silicide film in the location alternatively exposed with the fractional separation object 45.

[0055] And 4 does not become the electrode of a semiconductor device for 3 or 10s for 1 or 10s 10s of silicide film, but 2 functions as the source/a drain of a transistor Q6 10s of silicide film. An above-mentioned exception is the semi-conductor layer 10 of the lower part of the gate G6 of a transistor Q6, and although not covered with the fractional separation object 45, the semi-conductor layer 10 of this part is not silicide-ized when covered with the gate G6.

[0056] Thus, the function which controls leakage current including pn junction J61 in the field 4 is indicated [ 10s of silicide film which does not function as an electrode of a semiconductor device ] to be from them with 3 10s of silicide film for 3 or 10s for 1 or 10s on the less than 2-micrometer boundary N2 is achieved.

[0057] Of course, neither active regions 31a and 31b nor the silicide film 10s and 20s need to be rectangles. Moreover, it does not matter even if the fractional separation object is formed in the front face of the semi-conductor layers 10 and 20 in which the silicide film 10s and 20s is not formed and it is not.

[0058] As mentioned above, in view of defect density being very small, the structure where pn junction is not located across this location is used for the fundamental view of this invention, and it reduces leakage current in the location which does not exceed 2 micrometers from the edge of a fractional separation object or the silicide film.

[0059] Gestalt 1. drawing 12 of operation is the top view showing the configuration of the diode D1 which is a semiconductor device concerning the gestalt of this operation, and drawing 13 is a sectional view in location P1P1 in drawing 12 . The semi-conductor layer 20 of P-mold is formed on the insulator 9.

[0060] In the front face of the semi-conductor layer 20 of a side far from an insulator 9, the fractional separation object 43 is mostly formed, for example in cyclic [ rectangular ], and the active region is divided. Inside the ring of the rectangle which the fractional separation object 43 presents, N+ mold semi-conductor layer 24 with high impurity concentration higher than P+ mold semi-conductor layer 15,

the P-type semiconductor layer 14 with high impurity concentration lower than the semi-conductor layer 15, the N-type semiconductor layer 25, and the semi-conductor layer 25 is mostly formed for all in this order from the outside inside cyclic [ rectangular ]. Although the semi-conductor layers 14, 15, 24, and 25 all contact an insulator 9, they do not obstruct mutual exposure in the side in which the fractional separation object 43 exists.

[0061] The gate G4 which stands face to face against the semi-conductor layers 14 and 25 through the gate dielectric film which is not illustrated is formed above the semi-conductor layers 14 and 25. Moreover, although the semi-conductor layers 14 and 25 contact the front face of an insulator 9, they form the pn junction J2 exposed to the side in which the fractional separation object 43 exists. The semi-conductor layers 24 and 15 have the function which takes the contact by the side of n and p from pn junction J2, respectively.

[0062] Since pn junction J2 is separated from the fractional separation object 43 through the semi-conductor layer 15, as "the fundamental thought of invention" described, the crystal defect in pn junction J2 is very small, and is very small. [ of the leakage current (hard flow bias current) of diode D1 ]

[0063] Gestalt 2. drawing 14 of operation is the top view showing the configuration of the diode D2 which is a semiconductor device concerning the gestalt of this operation, and drawing 15 is a sectional view in location P2P2 in drawing 14 . On the insulator 9, the semi-conductor layer 16 of P type is formed.

[0064] In the front face of the semi-conductor layer 16 of a side far from an insulator 9, the fractional separation object 45 is mostly formed, for example in cyclic [ rectangular ], and the active region is divided. Inside the ring of the rectangle which the fractional separation object 45 presents, the semi-conductor layer 17 of N type is formed alternatively, and pn junction J4 is formed between the semi-conductor layers 16. Although pn junction J4 contacts an insulator 9, it is exposed to the side in which the fractional separation object 45 exists. However, it exists under the fractional separation object 45 (insulator 9 side) partially.

[0065] Although an insulator 9 is contacted in the semi-conductor layer 17, the semi-conductor layer 28 of N+ mold exposed to the side in which the fractional separation object 45 exists is formed, and in the semi-conductor layer 16 inside the ring of the rectangle which the fractional separation object 45 presents, although an insulator 9 is contacted, the semi-conductor layer 27 of P+ mold exposed to the side in which the fractional separation object 45 exists is formed. The semi-conductor layer 16 and a conductivity type are the same P type, and the semi-conductor layer 27 has high high impurity concentration. Moreover, the semi-conductor layer 16 and a conductivity type are the same N type, and the semi-conductor layer 28 has high high impurity concentration. Therefore, the semi-conductor layers 28 and 27 have the function which takes the contact by the side of n and p from pn junction J4, respectively.

[0066] Drawing 16 is a sectional view in which it is expanded and shown near [ B ] the pn junction J4 located in right-hand side in drawing 15 . If the maximum d1 of the boundary of the fractional separation object 45 and the semi-conductor layer 17 and the distance between pn junction J4 is 2 micrometers or less, as "the fundamental thought of invention" described, the crystal defect in pn junction J4 has it. [ very small ] This is the same as that of drawing 15 also about the pn junction J4 of the location not appearing. Moreover, also in the pn junction J4 located in left-hand side in drawing 15 , a crystal defect is very small like the gestalt 1 of operation, and the leakage current (hard flow bias current) of diode D2 is very small.

[0067] Gestalt 3. drawing 17 of operation is the top view showing the configuration of the CMOS transistor 100 which is a semiconductor device concerning the gestalt of this operation, and drawing 18 is a sectional view in location P3P3 in drawing 17 .

[0068] On the insulator 9, the semi-conductor layer 10 of N-mold and the semi-conductor layer 20 of P-mold are formed. 10t of edges of the semi-conductor layer 10 and 20t of edges of the semi-conductor layer 20 form the pn junction J5 which exposes an insulator 9 to the opposite side, contacting an insulator 9.

[0069] The fractional separation objects 41 and 42 are formed in the front face of the semi-conductor layer 16 of a side far from an insulator 9. The semiconductor device Q1 which has the gates G1 and G2, and the PMOS transistor 1 are formed in the active region which the fractional separation object 41 divides. The semiconductor device Q2 which has gate G3, and the NMOS transistor 2 are formed in the active region which the fractional separation object 42 divides. Among the fractional separation objects 41 and 42, the field 30 which 20t exposes partially exists pn junction J5 and 10t of edges.

[0070] If it says about the PMOS transistor 1, in the active region which the fractional separation object 41 divides, the source / drain layers 11 and 12 of P+ mold are formed, and the gate electrode 13 is formed through gate dielectric film on the semi-conductor layer 10. Moreover, if it says about the NMOS transistor 2, in the active region which the fractional separation object 42 divides, the source / drain layers 21 and 22 of P+ mold are formed, and the gate electrode 23 is formed through gate dielectric film on the semi-conductor layer 20. In addition, since a drawing is simple, the side attachment wall which exists in the side face of gate dielectric film or the gate electrodes 13 and 23 is omitted in drawing 17.

[0071] In the CMOS transistor 100 which the PMOS transistor 1 and the NMOS transistor 2 form, the pn junction J5 which the source / drain layers 11 and 12, and a conductivity type are the same P type, 20t of edges, the source / drain layers 21 and 22, and conductivity type of the semi-conductor layer 20 with low high impurity concentration are the same N type, and 10t of edges of the semi-conductor layer 10 with low high impurity concentration forms is separated from any fractional separation objects 41 and 42. Therefore, as "the fundamental thought of invention" described, the crystal defect in pn junction J5 is very small, and can make abnormality leakage current very small as compared with the CMOS transistor 200 shown by drawing 62.

[0072] The field 30 where pn junction J5 exists in drawing 17 and drawing 18 is illustrated as a dummy area in which a semiconductor device is not formed. However, it is as being shown in the gestalten 1 and 2 of operation that the effectiveness stated with "the fundamental thought of invention" can be acquired also when the pn junction which separates from a fractional separation object or is formed by a fractional separation object being hidden caudad by 2 micrometers or less can form a component.

[0073] Drawing 19 thru/or drawing 21 are the sectional views showing how to form the CMOS transistor 100 in order of a process. The insulator 9 which carried the semi-conductor film 3 which consists of silicon of a single crystal is prepared. An insulator consists of an oxidizing zone. Then, the fractional separation objects 41 and 42 which form the underlay oxide film 49 in the front face of the one distant from the insulator 9 of the semi-conductor film 3 on the whole surface, and are isolated in an insulator 9 are formed, and the configuration shown in drawing 19 is obtained. About the various formation approaches of a fractional separation object, it mentions later separately.

[0074] Next, the fractional separation object 42 and this divide, and the semi-conductor film 3 of the location in which the NMOS transistor 2 should be formed behind is covered by the resist 81. The ion implantation 61 of phosphorus or arsenic is further performed to the semi-conductor film 3 through the fractional separation object 41 through the underlay oxide film 49 by using a resist 81 as a mask (drawing 20). By the ion implantation 61, the lower part of the fractional separation object 41 and this divide, and the semi-conductor film 3 with which the PMOS transistor 1 should be formed behind serves as N-semi-conductor layer 10.

[0075] Next, N-semi-conductor layer 10 and the fractional separation object 41 are covered by the resist 82, and the ion implantation 62 of boron is further performed to the semi-conductor film 3 through the fractional separation object 42 through the underlay oxide film 49 (drawing 21). By the ion implantation 62, the lower part of the fractional separation object 42 and this divide, and the semi-conductor film 3 with which the NMOS transistor 2 should be formed behind serves as P-semi-conductor layer 20.

[0076] Then, by the well-known approach, the underlay oxide film 49 is removed, gate dielectric film, the gate electrodes 13 and 23, and the source / drain layers 11, 12, 21, and 22 are formed, and the configuration shown in drawing 18 is obtained.

[0077] Gestalt 4. drawing 22 of operation is the top view showing the configuration of the resistor R1

which is a semiconductor device concerning the gestalt of this operation, and drawing 23 is the sectional view showing the cross section in the location which does not appear in the cross section and drawing 22 in location P4P4 in drawing 22. The former is adjoining and drawing the latter on right-hand side through the fracture part Z on left-hand side. The semi-conductor layer 20 of P-mold is formed on the insulator 9.

[0078] In the front face of the semi-conductor layer 20 of a side far from an insulator 9, the fractional separation object 44 is mostly formed, for example in cyclic [ rectangular ], and the active region is divided. Inside the ring of the rectangle which the fractional separation object 44 presents, it separates with the fractional separation object 44, and the semi-conductor layer 25 of N type is formed in it. And it is the conductivity type same in the semi-conductor layer 25 as the semi-conductor layer 25, and N<sup>+</sup> mold semi-conductor layers 26a and 26b with high high impurity concentration are formed. Therefore, the semi-conductor layers 26a and 26b have the function which takes contact from the resistor which the semi-conductor layer 25 forms.

[0079] In the gestalt of this operation, although the semi-conductor layers 20 and 25 form pn junction J3, since pn junction J3 is separated from the fractional separation object 44, it satisfies the conditions stated with "the fundamental thought of invention", and has the effectiveness. Of course, the semi-conductor layer 25 contacts the fractional separation object 44, and is formed, and leakage current can be controlled as long as the conditions stated with "the fundamental thought of invention" are satisfied, even if it has the part in which pn junction J3 was formed by the fractional separation object 44 being hidden caudad.

[0080] The case where the pn junction which the semi-conductor layer of the pair which has low high impurity concentration forms satisfies the conditions stated with "the fundamental thought of invention" is illustrated with a conductivity type which is different when a semi-conductor layer with high high impurity concentration and a low semi-conductor layer exist and a total of four or more kinds of semi-conductor layers exist about each of the conductivity type of a pair with the gestalt 1 of the above-mentioned implementation thru/or the gestalt 3 of operation. However, like the gestalt of this operation, when forming a resistor especially as a semiconductor device, even if it does not necessarily need the four above-mentioned kinds of semi-conductor layers, the effectiveness stated with "the fundamental thought of invention" can also be acquired.

[0081] Drawing 24 is the top view showing the configuration of the resistor R11 which are other semiconductor devices concerning the gestalt of this operation, and drawing 25 is a sectional view in location P41P41 in drawing 24. As compared with the resistor R1, the resistor R11 permuted the semi-conductor layer 25 of N type by N<sup>+</sup> mold semi-conductor layer 251, and is equipped with the configuration which does not form N<sup>+</sup> mold semi-conductor layers 26a and 26b. The wiring 26c and 26d which separated mutually is formed in the top face of N<sup>+</sup> mold semi-conductor layer 251. In order to take ohmic contact among Wiring 26c and 26d, as for the semi-conductor layer 251, the high impurity concentration is raised.

[0082] On the other hand, there are few the things [ that only a resistor is adopted with an integrated circuit ], and, in many cases, a CMOS transistor is also formed, therefore a PMOS transistor is also formed on an insulator 9 in many cases. For example, the PMOS transistor 1 as shown in the left-hand side of drawing 23 can also grasp that four kinds of above-mentioned semi-conductor layers exist in the integrated circuit carried with the resistor R1 shown in right-hand side. Of course, it cannot be overemphasized that it can be grasped that the conductivity type of the semi-conductor layer which forms a resistor is carried out the above and reversely, and the four above-mentioned kinds of semi-conductor layers exist also in the integrated circuit which carries a resistor and an NMOS transistor.

[0083] Drawing 26 is the top view showing the configuration of the resistor R2 which is the semiconductor device of further others concerning the gestalt of this operation, and drawing 27 is a sectional view in location P5P5 in drawing 26. The resistor R2 has the configuration which added the gate electrode G5 which stands face to face against pn junction J3 and the semi-conductor layer 25 through the gate dielectric film which is not illustrated to the resistor R1. Naturally also in this configuration, leakage current can be controlled.

[0084] In the CMOS transistor 100 shown in gestalt 5, drawing 17 of operation, if it is going to silicide-ize the front face of the source / drain layers 11, 12, 21, and 22, an edges [ which are exposed in a field 30 / 10t and 20t ] front face will also be silicide-ized, and the semi-conductor layers 10 and 20 will flow through it. In order to avoid such a short circuit, as for the pn junction which it separated, was formed and has been exposed from the fractional separation objects 41 and 42 like pn junction J5, it is desirable to cover this with an insulator in the case of silicide-izing.

[0085] Drawing 28 is the sectional view showing the configuration of the semiconductor device concerning the gestalt of this operation, and the configuration which added the wrap insulator layer 48 is shown in the configuration of CMOS100 shown in drawing 17 in the field 30. A nitride, an oxide film, or the nitride that makes an oxide film a substrate further is employable as an insulator layer 48.

[0086] Once an insulator layer 48 is extensively formed on the configuration shown in drawing 17 , it may be saved only to a field 30 by patterning. Or in the process which forms the sidewall of the gate electrodes 13 and 23, it can also form and can manufacture easily. For example, in case anisotropic etching of the insulator layer used as the ingredient of a sidewall is carried out, an insulator layer 48 may be saved by covering a field 30 with a mask.

[0087] Drawing 29 is the sectional view having shown the configuration obtained by performing silicide-ization to the CMOS transistor 100 which has the configuration shown in drawing 28 . The silicide film 13s, 23s, 11s, 12s, 21s, and 22s can be formed in the front face of the gate electrodes 13 and 23, and the source / drain layers 11, 12, 21, and 22, respectively. However, since Edges 10t and 20t are not exposed, the silicide film which short-circuits both is not formed.

[0088] In the case of silicide-izing, an insulating ingredient needs to be sufficient for it in a field 30, if the field in contact with Edges 10t and 20t prepares wrap covering, and the whole of covering does not need to be insulation.

[0089] Drawing 30 is the sectional view showing the configuration of other semiconductor devices concerning the gestalt of this operation, and the configuration which added the wrap dummy gate DG is shown in the configuration of CMOS100 shown in drawing 17 in the field 30. However, like the gate electrodes 13 and 23, since it has gate dielectric film in the lower part, the dummy gate DG does not short-circuit Edges 10t and 20t. Such structure can be formed at the process which forms gate dielectric film, and the same process as the gate electrodes 13 and 23, and can be manufactured easily. For example, the gate electrodes 13 and 23 and the dummy gate DG are formed by polish recon.

[0090] Drawing 31 is the sectional view having shown the configuration obtained by performing silicide-ization to the CMOS transistor 100 which has the configuration shown in drawing 30 . The silicide film 13s and 23s, DGs, and 11s, 12s, 21s, and 22s can be formed in the front face of the source / drain layers 11, 12, 21, and 22 at the gate electrodes 13 and 23 and the dummy gate DG, and a list, respectively. However, since Edges 10t and 20t are not exposed, the silicide film which short-circuits both is not formed.

[0091] As mentioned above, about the pn junction left and formed from the fractional separation object, it is desirable to carry out the above-mentioned covering in the case of silicide-izing. This is the same also about the pn junction J3 of a resistor R1, and it prevents that pn junction J3 connects too hastily in the case of silicide-izing. After an insulator layer 48 covers the semi-conductor layer 26 like drawing 32 , even if it carries out opening of it later and it exposes the semi-conductor layer 26 that what is necessary is just to have covered junction J3 at least, it may carry out opening of the part silicide-ized like drawing 33 later beforehand. Of course, an insulator layer 48 may contact the fractional separation object 44 like drawing 34 . Speaking of the pn junction J42 shown in drawing 3 , in the part exposed to active regions 31a and 31b, it is desirable to prepare the above-mentioned covering.

[0092] However, since the pn junction J41 shown, for example in drawing 3 , the pn junction J43 shown in drawing 4 , and the pn junction J45 shown in drawing 5 are formed in an insulator 9 side to the fractional separation object 45 about the pn junction by which exposure is obstructed with a fractional separation object, it does not expose and there is an advantage which becomes unnecessary [ the above-mentioned covering ]. Furthermore, even if it is the case where wiring is laid on such pn junction, when a fractional separation object exists, parasitic capacitance of the wiring concerned can be made small.

[0093] Gestalt 6. drawing 35 of operation is a top view which illustrates arrangement of the pn junction concerning the gestalt of this operation, and the silicide film. Moreover, drawing 36 is the sectional view showing the cross section in location P6P6 of drawing 35. The semi-conductor layers 10 and 20 function, for example as an N type well and a P type well, respectively, and form pn junction J57. Moreover, on the semi-conductor layer 10 and 20, the fractional separation object 72 which the opening apertures 32 and 33 were able to open is formed. Opening of the opening aperture 32 is carried out ranging over pn junction J57, and opening of the opening aperture 33 is carried out on the semi-conductor layer 10.

[0094] In the opening apertures 32 and 33, the semi-conductor layers 10 and 20 are silicide-ized, and have the silicide layers 10s and 20s on the front face, respectively. However, the opening aperture 32 is formed ranging over pn junction J57, and in order to avoid the short circuit, it needs to avoid 10s of silicide film, and the short circuit for 20s. Then, in order to prevent 10s of silicide film, and the short circuit for 20s, silicide-ization is performed after forming the insulator layer 71 used as the mask which obstructs silicide-ization on pn junction J57 in the opening aperture 32.

[0095] If either is  $\tau = 2$  micrometers or less even if there are little distance  $t_1$  of the pn junction J57 which meets in the direction which goes to the semi-conductor layer 20 from the edge of 10s of silicide film with reference to drawing 36, and distance  $t_2$  of the pn junction J57 which meets in the direction which goes to the semi-conductor layer 10 from the edge of 20s of silicide film, the effectiveness of this invention can be acquired. In order to control leakage current, it is desirable to satisfy  $t_1 \leq \tau$  or  $t_2 \leq \tau$  in all the locations where pn junction J57 extends. If it is formed so that the range of 2 micrometers may connect from the silicide film 10s and 20s, neither the silicide film 10s and 20s nor an insulator layer 71 needs to necessarily be continuing in the direction in which pn junction J57 extends. The case where the silicide film 10s and 20s is close to extent which the 2-micrometer boundary N3 connects from the silicide film 10s and 20s in the direction in which pn junction J57 extends is shown by drawing 35. Therefore, in this case, also need to continue an insulator layer 71 and it does not need to be formed in the direction concerned.

[0096] With the gestalt of this operation, pn junction J57 is established for the wrap insulator layer 71 in the fractional separation object 72 which has the opening aperture 32 which carries out opening ranging over pn junction J57. Silicide-ization of the semi-conductor layers 10 and 20 can be performed by the ability making this into a mask, and the leakage current of pn junction J57 can be controlled.

[0097] As a mask for obstructing pn junction from silicide-ization, the dummy gate is employable instead of an insulator layer. Drawing 37 is a sectional view in location P3p3 of drawing 17, and is presenting structure similar to drawing 31. The dummy gate DG is not that of a wrap altogether about a field 30, but differing from the structure shown in drawing 31 are the point which has not covered the semi-conductor layers 10t and 20t, and the point that the insulator layer 77 has covered 20t of semi-conductor layers in the field 30. In addition, in drawing 37, the case where the sidewall is added to the dummy gate DG is illustrated.

[0098] In a field 30, 10s of silicide film is formed in the front face of 10t of semi-conductor layers by performing silicide-ization by using such the dummy gate DG and an insulator layer 77 as a mask. If the distance from 10s of silicide film to pn junction J5 is 2 micrometers or less, it is not necessary to form the silicide film in 20t of semi-conductor layers like drawing 37, and parasitic capacitance can be controlled.

[0099] Of course, as shown in drawing 38, 20t of semi-conductor layers may be covered by the dummy gate DG, and as shown in drawing 39, pn junction J5 and 20t of both semi-conductor layers may be covered by the insulator layer 77.

[0100] Gestalt 7. drawing 40 of operation is a top view which illustrates arrangement of the pn junction concerning the gestalt of this operation, and the silicide film. Moreover, each of drawing 41 and drawing 42 is the sectional views showing two examples of the cross section in location P7P7 of drawing 40. The semi-conductor layers 10 and 20 function, for example as an N type well and a P type well, respectively, and form pn junction J58. Moreover, on the semi-conductor layer 10 and 20, the fractional separation object 73 is formed and the semi-conductor layer 10 and 10s of silicide film are exposed in

the opening aperture 34.

[0101] The opening aperture 34 is alternatively covered with the mask 74. The case where the case where insulator layer 74a is adopted as a mask 74 adopts dummy gate 74b as drawing 41 is shown in drawing 42, respectively.

[0102] With reference to drawing 41, like the insulator layer 71 shown by drawing 36 in the gestalt 6 of operation, insulator layer 74a exposes the semi-conductor layer 10 alternatively with the fractional separation object 73, and functions as a mask which obstructs silicide-ization.

[0103] It is necessary to form the silicide film in no front faces of the semi-conductor layer which is not covered with a fractional separation object, and if the silicide film is formed in the location which includes pn junction at less than 2 micrometers of the perimeter, it is sufficient for it. And in this way, by alternative silicide-ization of a semi-conductor layer front face, area silicide-ized can be made small, and the parasitic capacitance between wiring by which this is laid among other conductors (for example, the upper part) can be reduced.

[0104] Moreover, with reference to drawing 42, dummy gate 74b is equipped with the insulator layer 743 formed at the process which forms the gate dielectric film of other MOS transistors which are not illustrated, and the electric conduction film 742 formed at the process which forms the gate electrode of the transistor concerned before silicide-izing. And in case the semi-conductor layer 10 is silicide-ized, the silicide film 741 is formed in the front face of the electric conduction film 742, self serving as a mask which obstructs silicide-ization of the semi-conductor layer 10. Thereby, it becomes same constituting [ of the thickness direction ] the gate of the transistor concerned and dummy gate 74b. If dummy gate 74b is adopted as a mask of silicide-izing of the semi-conductor layer 10, as compared with the case where insulator layer 74a is adopted, it cannot ask whether it is a dummy or an MOS transistor is formed, but the thickness on the semi-conductor layer 10 can be arranged. Thereby, the surface smoothness of the interlayer insulation film formed on it can be raised.

[0105] Gestalt 8. drawing 43 of operation is a top view which illustrates arrangement of the pn junction concerning the gestalt of this operation, and the silicide film. Moreover, each of drawing 44 and drawing 45 is the sectional views showing two examples of the cross section in location P8P8 of drawing 43. The semi-conductor layers 10 and 20 function, for example as an N type well and a P type well, respectively, and form pn junction J59. Moreover, on the semi-conductor layer 10 and 20, the fractional separation object 75 which the opening apertures 35 and 36 were able to open is formed.

[0106] In the semi-conductor layers 10 and 20, the PMOS transistor Q4 and the NMOS transistor Q5 are formed in the opening aperture 36, respectively. And the opening aperture 35 is covered with the mask 76 except for the periphery.

[0107] The opening aperture 35 makes the semi-conductor layers 10 and 20 look into through the fractional separation object 75 as a dummy with which a semiconductor device is not formed. Although such a dummy may adopt that from which magnitude and a form differ, in drawing 43, the opening aperture 35 of a square configuration is adopted and plurality is arranged in the shape of a matrix except for the location which transistors Q4 and Q5 occupy. It is easily realizable to arrange the opening aperture 35 by such pattern with automatic-layout processing of patterning. However, not to mention the opening aperture 36 in which transistors Q4 and Q5 are formed with the gestalt of this operation, the opening aperture 35 is also formed ranging over pn junction J59, and there is no end.

[0108] The case where the case where insulator layer 76a is adopted as a mask 76 adopts dummy gate 76b as drawing 44 is shown in drawing 45, respectively.

[0109] With reference to drawing 44, like the insulator layer 71 shown by drawing 36 in the gestalt 6 of operation, insulator layer 76a exposes the semi-conductor layer 10 alternatively with the fractional separation object 75, and functions as a mask which obstructs silicide-ization. What is necessary is just to form the opening aperture 35 in the location which includes pn junction J59 at less than 2 micrometers of the perimeter, in order to acquire the same effectiveness as the gestalt 7 of operation.

[0110] Moreover, with reference to drawing 45, dummy gate 76b is equipped with the sidewall 764 formed at the process which forms the insulator layer 763 formed at the process which forms the gate dielectric film of transistors Q4 and Q5, the electric conduction film 762 formed at the process which

forms the gate electrode of the transistor concerned, and the sidewall of the transistor concerned before silicide-izing. And in case the semi-conductor layers 10 and 20 are silicide-ized, the silicide film 761 is formed in the front face of the electric conduction film 762, self serving as a mask which obstructs silicide-ization of the semi-conductor layers 10 and 20. If dummy gate 76b is adopted as a mask which obstructs silicide-ization of the semi-conductor layers 10 and 20, the height can be arranged with the height of the gates G7 and G8 of transistors Q4 and Q5, and the surface smoothness of an interlayer insulation film can be raised like the gestalt 7 of operation.

[0111] The various approaches of forming a fractional separation object are explained below by formation of a fractional separation object. The fractional separation object explained with the gestalt of the above-mentioned operation may be formed using the following approaches.

[0112] Drawing 46 thru/or drawing 51 are the sectional views showing the 1st manufacture approach of a fractional separation object in order of a process. SIMOX accompanied by [ prepare the semi-conductor substrate 501 first and ] an oxygen ion implantation -- by law etc., it embeds into the semi-conductor substrate 501, and an oxide film 90 is formed. The embedding oxide film 90 divides the semi-conductor substrate 501 into the semi-conductor layers 501a and 501b in the thickness direction, and obtains the configuration shown in drawing 46. For example, the embedding oxide film 90 and semi-conductor layer 501b correspond to an above-mentioned insulator 9 and the above-mentioned semi-conductor film 3, and are set, for example as 100-400nm and 50-200nm, respectively. Of course, the configuration shown in drawing 32 by lamination may be obtained.

[0113] Next, the configuration which deposited the 20nm oxide film 502 and the about 200nm nitride 503, formed further the resist 504 which carries out opening partially on it on semi-conductor layer 501b, and was shown in drawing 47 is obtained. An oxide film 502 may be obtained by formation by CVD, or may be obtained by thermal oxidation of semi-conductor layer 501b. Moreover, a nitride 503 can be formed by CVD, and it may adopt a nitriding oxide film instead of being a nitride 503.

[0114] Next, a nitride 503 and an oxide film 502 are etched by using a resist 504 as a mask, and it etches, embedding semi-conductor layer 501b further, and leaving on an oxide film 90, the thickness is reduced, and the trench 510 shown in drawing 48 is obtained.

[0115] Next, a resist 504 is removed, an oxide film 505 is deposited from a trench 510 side by the thickness (for example, 500nm) which buries a trench 510, and the configuration shown in drawing 49 is obtained.

[0116] And CMP processing is performed by the same technique as the usual trench separation, a nitride 503 is also ground, the thickness is reduced, and the configuration shown in drawing 50 is obtained.

[0117] And etching to a nitride and an oxide film is performed, and a nitride 503 and an oxide film 502 are removed. As shown to drawing 51 by this, the oxide film 505 saved by the front face of semi-conductor layer 501b prepared on the embedding oxide film 90 functions as a fractional separation object.

[0118] Drawing 52 thru/or drawing 56 are the sectional views showing the 2nd manufacture approach of a fractional separation object in order of a process. The configuration shown in drawing 33 like the 1st manufacture approach of a fractional separation object is obtained. Then, a nitride 503, an oxide film 502, and semi-conductor layer 501b are etched by using a resist 504 as a mask, and the configuration which formed the trench 511 to which the embedding oxide film 90 is exposed, and was shown in drawing 52 is obtained.

[0119] Then, a resist 504 is removed and the wrap semi-conductor layer 506 is made to deposit the front face of a nitride 503 on the bottom and wall list of a wrap 511, for example, a trench, for the embedding oxide film 90 which serves as a bottom of a trench 511 at least. As a semi-conductor layer 506, when silicon is formed as a semi-conductor substrate 501, polish recon is adopted. And on the semi-conductor layer 506, the oxide film 505 which buries a trench 511 through this is deposited, and the configuration shown in drawing 53 is obtained.

[0120] And CMP processing is performed by the same technique as the usual trench separation, a nitride 503 is also ground, the thickness is reduced, and the configuration shown in drawing 54 is obtained.

[0121] And etching to a nitride and an oxide film is performed, a nitride 503 and an oxide film 502 are

removed, and the configuration shown in drawing 55 is obtained.

[0122] Then, by performing oxidation treatment, a side far from the embedding oxide film 90 oxidizes among the front face of semi-conductor layer 501b, and the semi-conductor layer 506, it changes to an oxide film 508,507, respectively, and the configuration shown in drawing 56 is obtained. Then, the fractional separation object which removed the oxide film 508 and was formed with the oxide film 505,507 is acquired. By this approach, the semi-conductor layers 506 and 501b which remained without oxidizing correspond to the above-mentioned semi-conductor film 3.

[0123] Drawing 57 thru/or drawing 60 are the sectional views showing the 3rd manufacture approach of a fractional separation object in order of a process. A trench 510 is formed like the 1st manufacture approach of a fractional separation object. However, the semi-conductor layer 509 which consists of polish recon with a thickness of 10-100nm is made to intervene between a nitride 503 and an oxide film 502 in this method ( drawing 57 ). The edge exposed to the trench 510 of the semi-conductor layer 509 is retreating with etching of semi-conductor layer 501b performed when forming a trench 510, in view of a trench 510.

[0124] Next, an oxide film 520 is formed in the wall of a trench 510, and the configuration shown in drawing 58 is obtained. An oxide film 520 is formed to an oxide film 502 being formed by the thermal oxidation which is 800-1350 degrees C by forming by 700-900-degree C wet oxidation, or oxidizing in the ambient atmosphere containing a hydrochloric acid and oxygen. Thereby, an oxide film 520 advances deeply between the semi-conductor layer 509 and an oxide film 502 and between an oxide film 502 and semi-conductor layer 501b, and makes the so-called configuration of a BAZU beak remarkable.

[0125] Next, the oxide film 521 embedding a trench 510 is deposited, CMP processing is performed, flattening of this is carried out, and the configuration shown in drawing 59 is obtained. In order to make it the front face of an oxide film 521 not become low too much by the over etching mentioned later, in CMP processing, the amount of polishes of an oxide film 521 is adjusted so that the location of the flat side of an oxide film 521 may not become low too much rather than the principal plane of a nitride 503.

[0126] Next, wet etching removes a nitride 503 and the semi-conductor layer 509, and an oxide film 502 is also etched and removed further. However, while performing 50 - 100% of over etching and smoothing the profile configuration of the BAZU beak of an oxide film 521 on the occasion of etching of an oxide film 502, it is made to correspond to the semi-conductor layer 509 and the profile configuration of a nitride 503, and a hollow 523,524 is formed, respectively. The fractional separation object 522 shown to drawing 60 by this can be acquired.

[0127] Drawing 61 is the sectional view showing the configuration in which the gate electrode G10 was installed also on the fractional separation object 522. As shown in a location 601, into the part which inclines up mostly toward the direction which faces to the fractional separation object 522 from the tip of a BAZU beak, it becomes depressed, and 523,524 exists. Therefore, since the effectiveness of preventing an unnecessary gate ingredient remaining on a front face increases and the level difference near the BAZU beak accompanying the inclination to the upper part in a location 601 is reduced in case the gate electrode G10 is formed, formation of the gate electrode G10 becomes easy.

[0128] Furthermore, as shown in a location 602, in the part which inclines caudad toward the direction which faces to the fractional separation object 522 from the tip of a BAZU beak, the fractional separation object 522 is presenting the configuration which is roundish to the semi-conductor layer 501b side, and projects. For this reason, the stress produced near the interface of the semi-conductor layer 501b and the fractional separation object 522 which are produced by heat treatment performed in the manufacture process of a semiconductor device or oxidation treatment can be eased, and it can control that a crystal defect arises in semi-conductor layer 501b with the stress concerned.

[0129]

[Effect of the Invention] According to the semiconductor device applied to claim 1 or claim 2 among this invention, defect density is very low in the location in which it is 2 micrometers or less from the boundary of a segregant and the semi-conductor film, or the segregant is not formed. Therefore, the leakage current in the pn junction formed in this location can be made very small.

[0130] According to the semiconductor device applied to claim 3 among this invention, the degree of freedom of the layout of a semiconductor device can be raised.

[0131] According to the semiconductor device applied to claim 4 among this invention, the small diode of leakage current can be obtained.

[0132] According to the semiconductor device applied to claim 5 among this invention, the small CMOS transistor of leakage current can be obtained.

[0133] According to the semiconductor device applied to claim 6 among this invention, in case silicide-ization is performed to the 1st semi-conductor layer and the 3rd semi-conductor layer, it can avoid that silicide-ization is performed also to the 2nd semi-conductor layer and the 4th semi-conductor layer.

[0134] According to the semiconductor device applied to claim 7 among this invention, the small resistor of leakage current can be obtained.

[0135] According to the resistor applied to claim 8 thru/or claim 10 among this invention, pn junction separates from a segregant and it is formed, and since it functions as contact to the resistor which the 3rd semi-conductor layer becomes from the 2nd semi-conductor layer, a resistor with small leakage current can be obtained.

[0136] According to the resistor applied to claim 11 among this invention, even if it performs silicide processing, the short circuit of the 1st semi-conductor layer and the 2nd semi-conductor layer can be prevented.

[0137] According to the manufacture approach of the semiconductor device applied to claim 12 among this invention, a semiconductor device according to claim 6 can be manufactured.

[0138] According to the manufacture approach of the semiconductor device applied to claim 13 or claim 14 among this invention, a semiconductor device according to claim 6 can be manufactured easily.

[0139] According to the semiconductor device applied to claim 15 among this invention, defect density is very low from the boundary of metallic compounds and the semi-conductor film in the location of 2 micrometers or less. Therefore, the leakage current in the pn junction formed in this location can be made very small.

[0140] According to the semiconductor device applied to claim 16 among this invention, the short circuit of pn junction is avoidable.

[0141] According to the semiconductor device applied to claim 17 among this invention, the surface smoothness of the interlayer film formed on a semiconductor device can be improved.

[0142] According to the semiconductor device applied to claim 18 among this invention, the semiconductor device of claim 17 can be manufactured.

[0143] According to the semiconductor device applied to claim 19 among this invention, the semiconductor device of claim 17 can be manufactured.

---

[Translation done.]

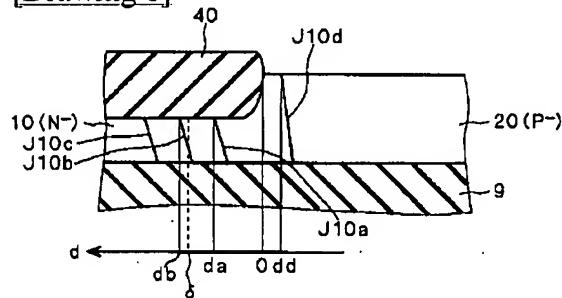
## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

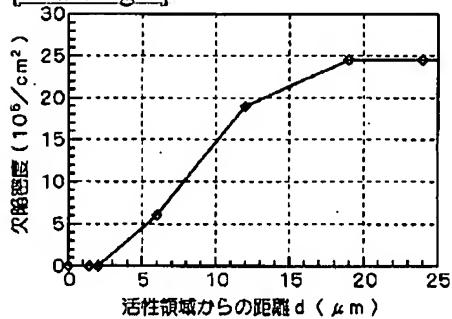
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

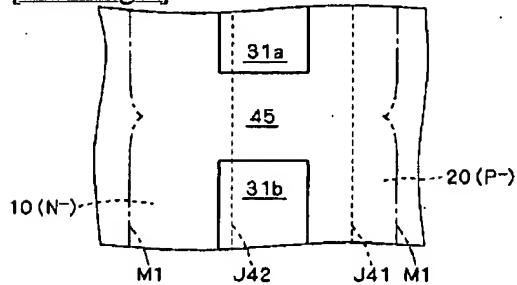
## [Drawing 1]



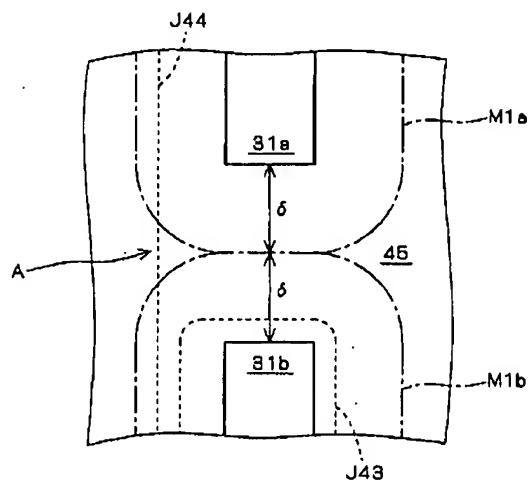
## [Drawing 2]



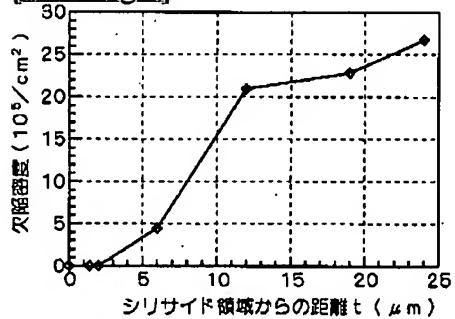
## [Drawing 3]



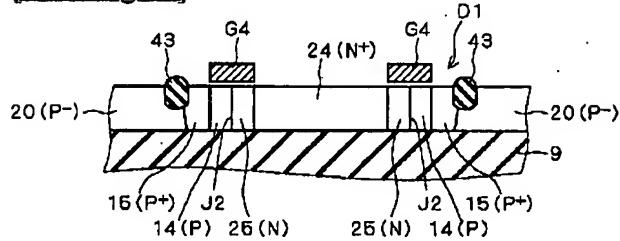
## [Drawing 4]



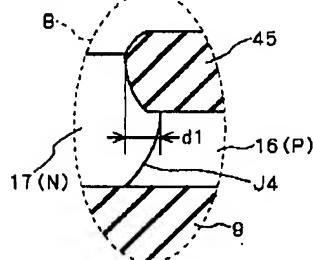
[Drawing 7]



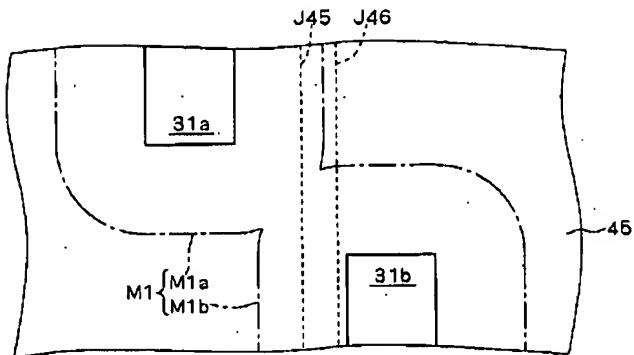
[Drawing 13]



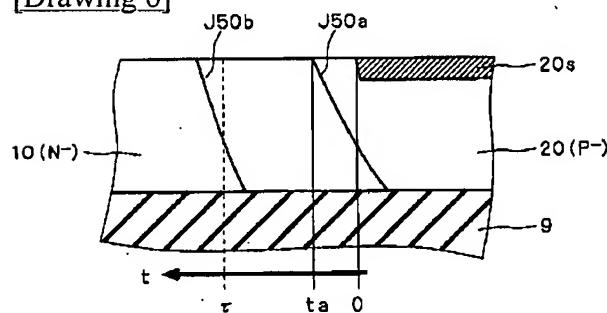
[Drawing 16]



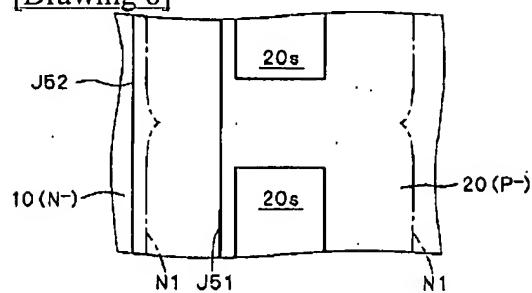
[Drawing 5]



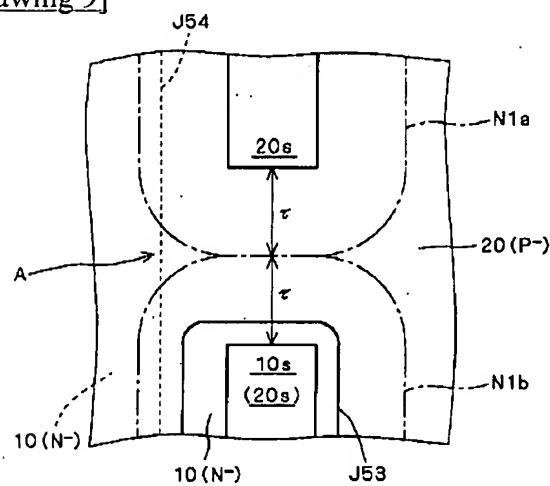
[Drawing 6]



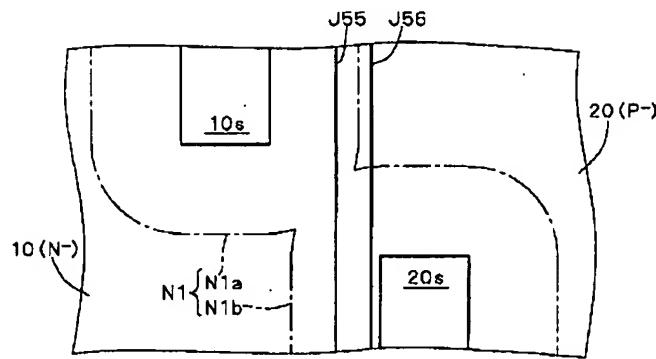
[Drawing 8]



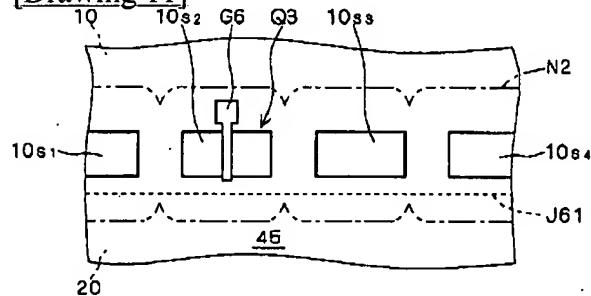
[Drawing 9]



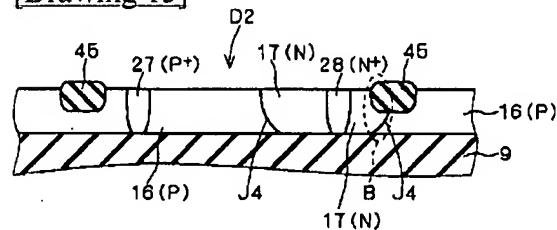
[Drawing 10]



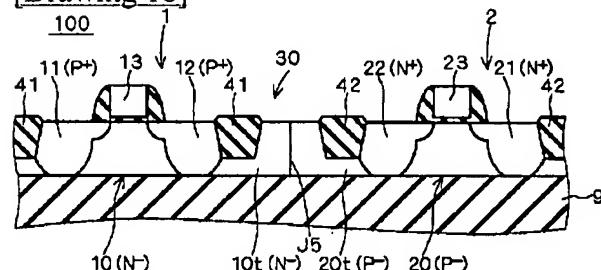
[Drawing 11]



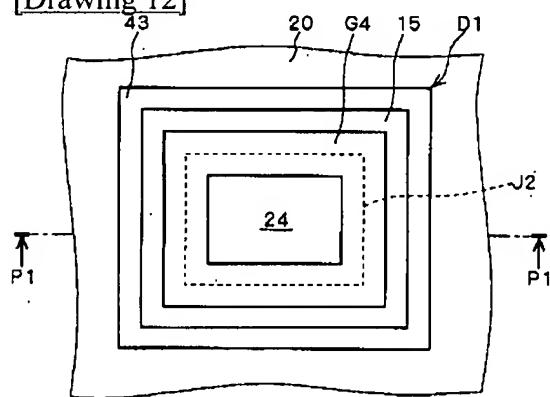
[Drawing 15]



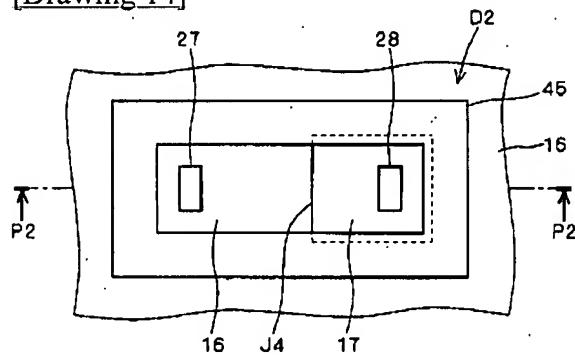
[Drawing 18]



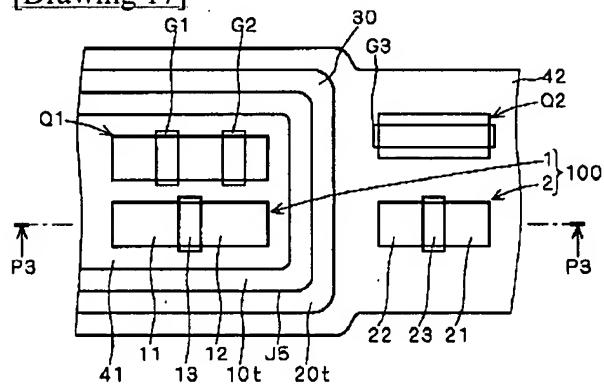
[Drawing 12]



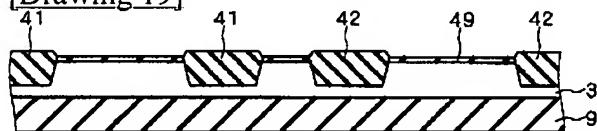
[Drawing 14]



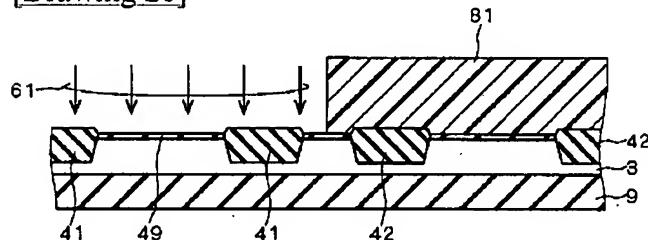
[Drawing 17]



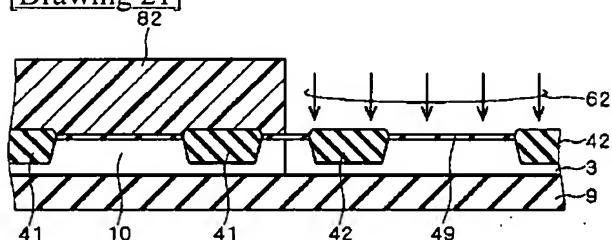
[Drawing 19]



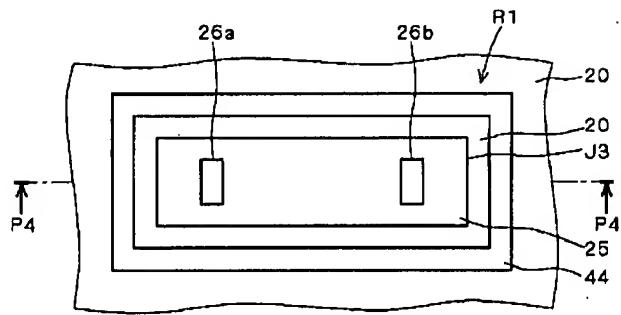
[Drawing 20]



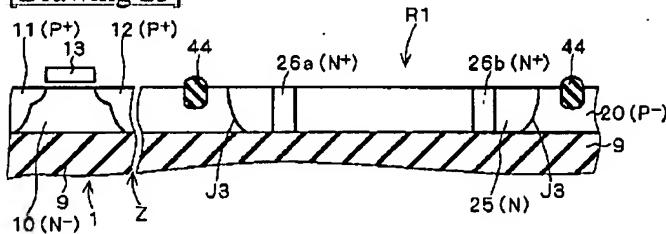
[Drawing 21]



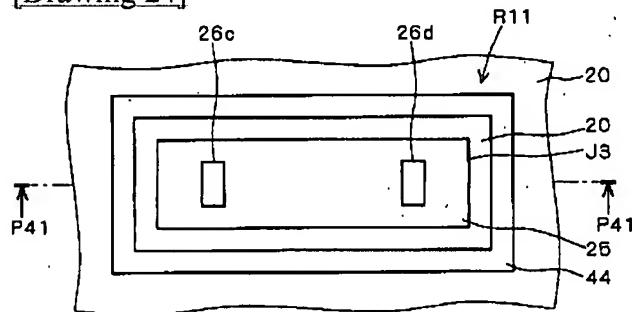
[Drawing 22]



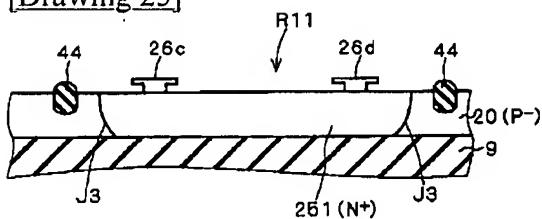
[Drawing 23]



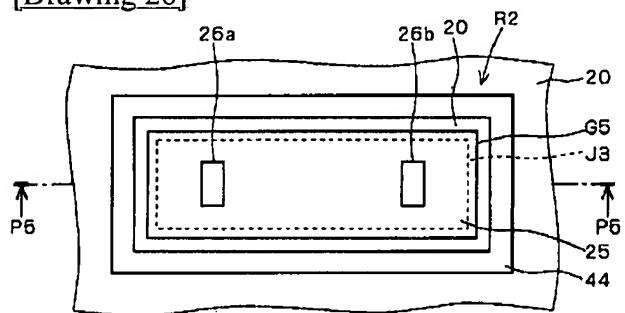
[Drawing 24]



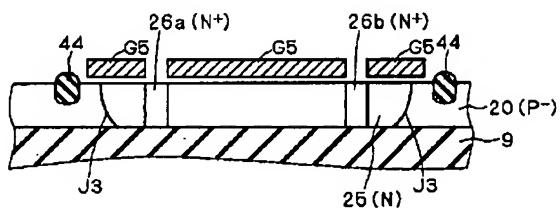
[Drawing 25]



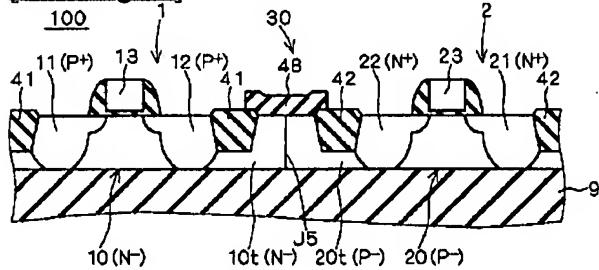
[Drawing 26]



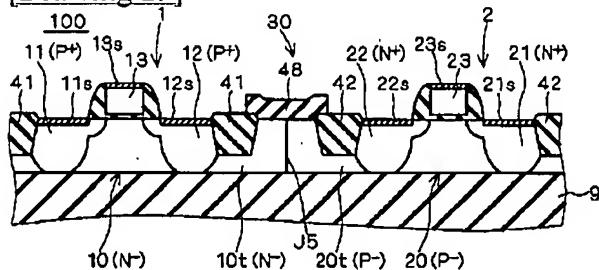
[Drawing 27]



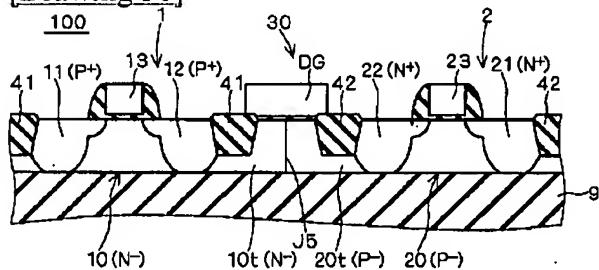
[Drawing 28]



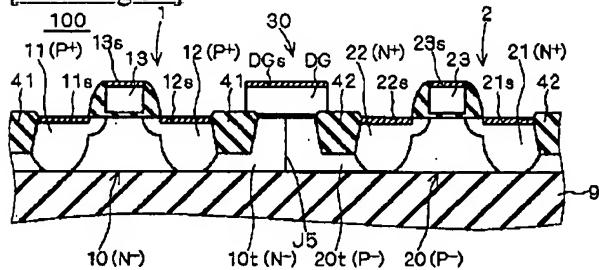
[Drawing 29]



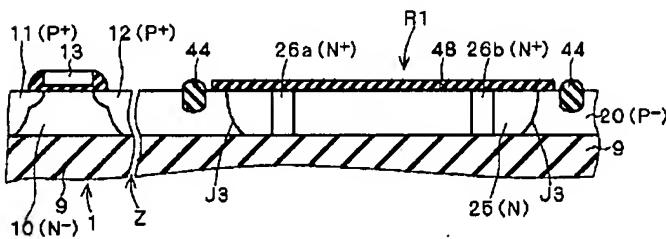
[Drawing 30]



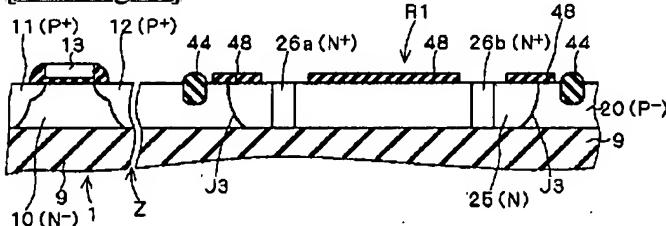
[Drawing 31]



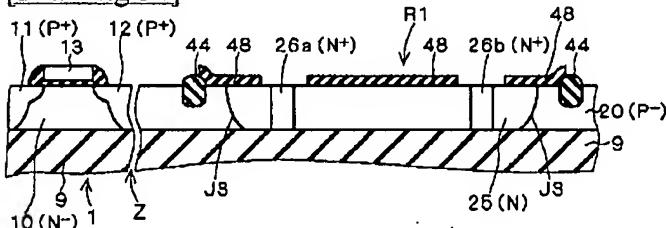
[Drawing 32]



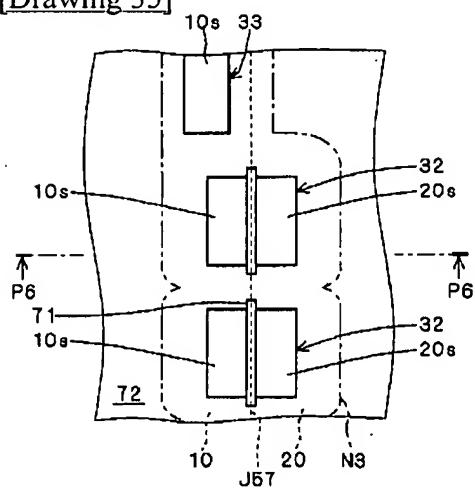
[Drawing 33]



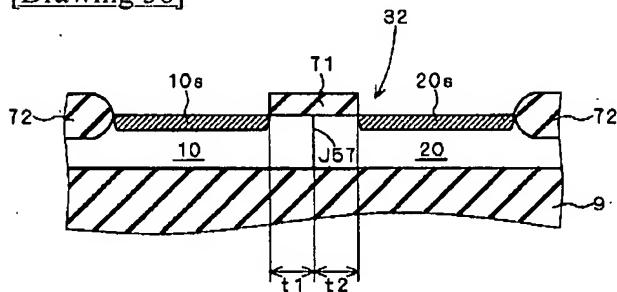
[Drawing 34]



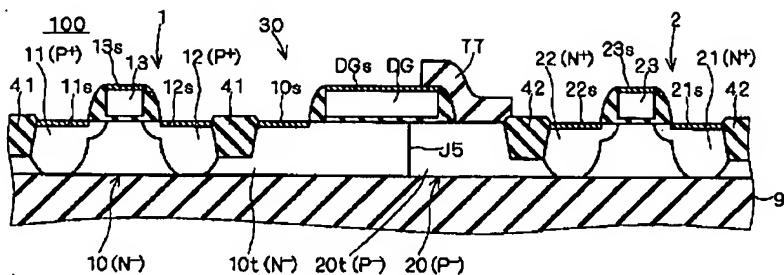
[Drawing 35]



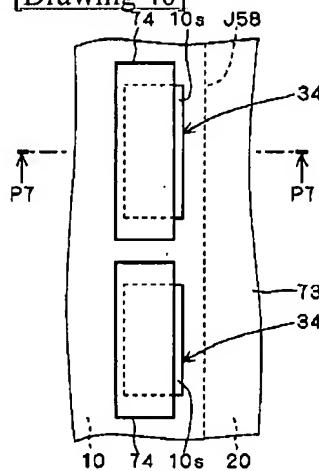
[Drawing 36]



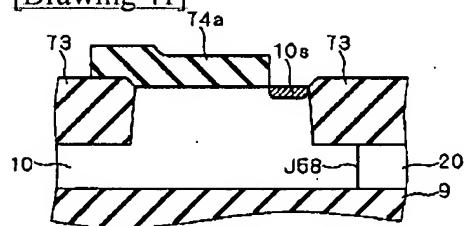
[Drawing 37]



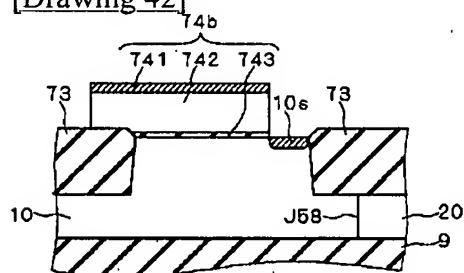
[Drawing 40]



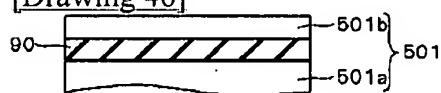
[Drawing 41]



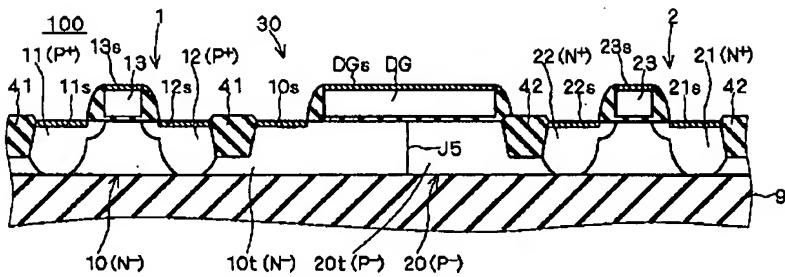
[Drawing 42]



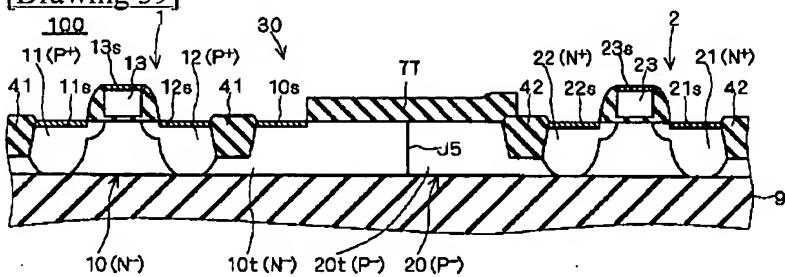
[Drawing 46]



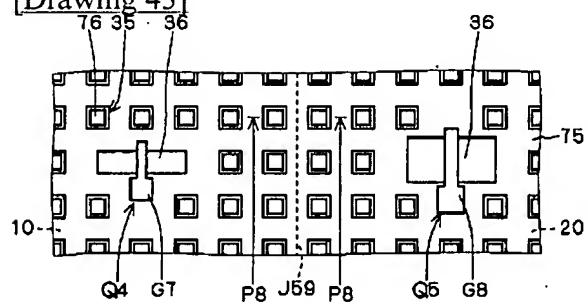
[Drawing 38]



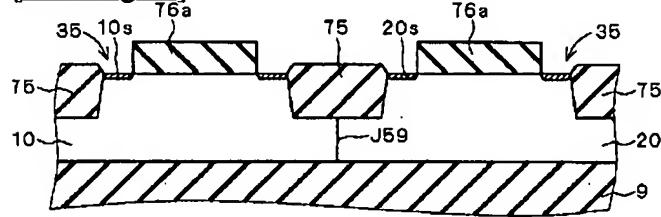
[Drawing 39]



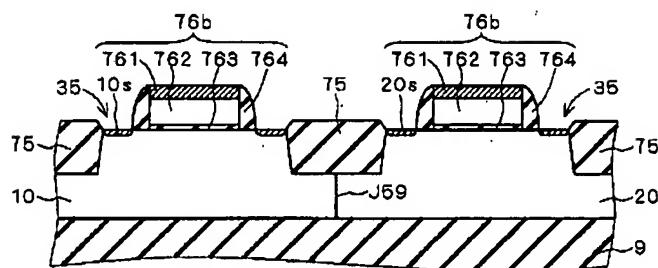
[Drawing 43]



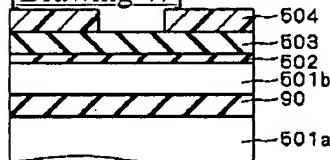
[Drawing 44]



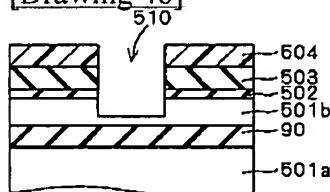
[Drawing 45]



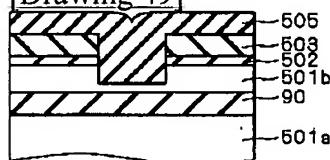
[Drawing 47]



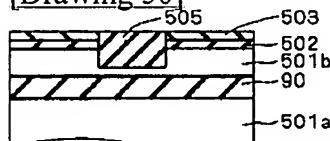
[Drawing 48]



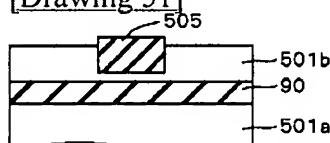
[Drawing 49]



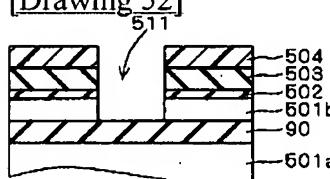
[Drawing 50]



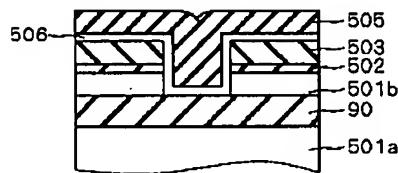
[Drawing 51]



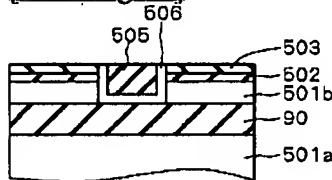
[Drawing 52]



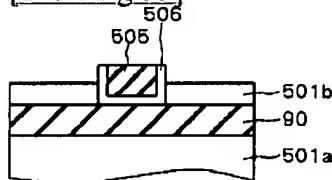
[Drawing 53]



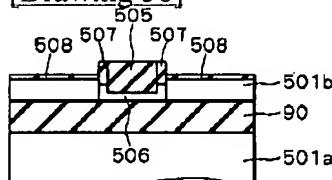
[Drawing 54]



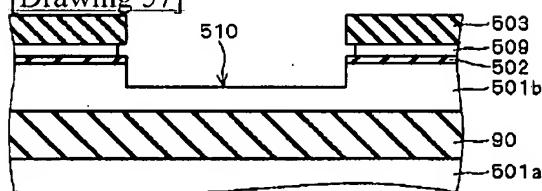
[Drawing 55]



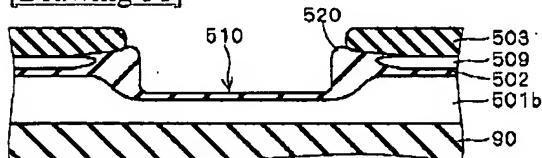
[Drawing 56]



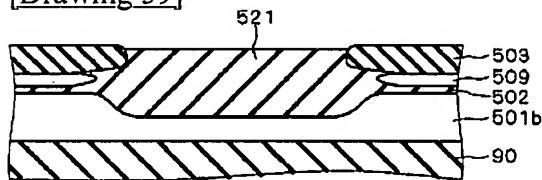
[Drawing 57]



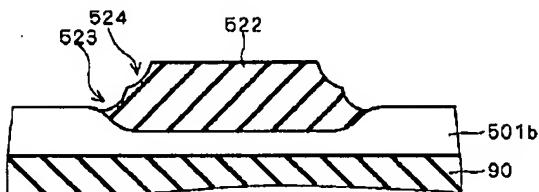
[Drawing 58]



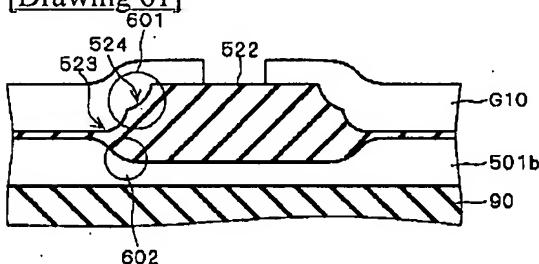
[Drawing 59]



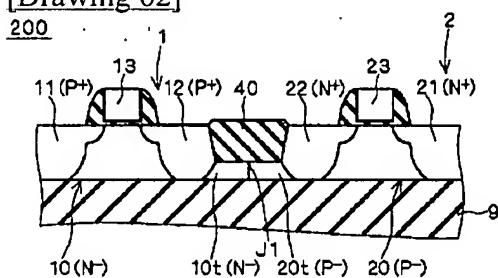
[Drawing 60]



[Drawing 61]



[Drawing 62]



---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76111

(P2002-76111A)

(43)公開日 平成14年3月15日 (2002.3.15)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ド(参考)
H 01 L 21/76		H 01 L 27/08	3 3 1 E 5 F 0 3 2
27/04		21/76	M 5 F 0 3 8
21/822		27/04	R 5 F 0 4 8
27/08	3 3 1	29/78	6 1 3 A 5 F 1 1 0
29/786			6 2 1

審査請求 未請求 請求項の数19 O L (全22頁) 最終頁に続く

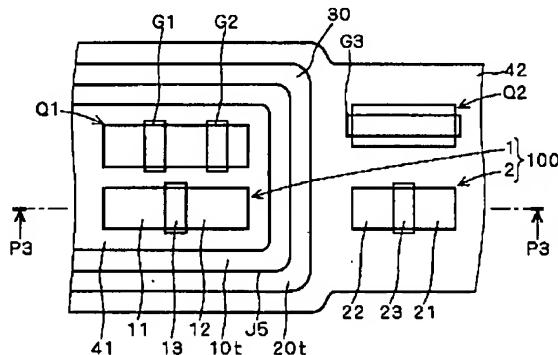
(21)出願番号	特願2000-322634(P2000-322634)	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成12年10月23日 (2000.10.23)	(72)発明者	一法師 隆志 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(31)優先権主張番号	特願2000-176884(P2000-176884)	(72)発明者	岩松 俊明 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(32)優先日	平成12年6月13日 (2000.6.13)	(74)代理人	100089233 弁理士 吉田 茂明 (外2名)
(33)優先権主張国	日本 (JP)		

最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法並びに抵抗器

(57)【要約】

【課題】 p n接合におけるリーク電流を抑制する。  
【解決手段】 部分分離体41がその表面に形成されたN<sup>-</sup>型半導体層10と、部分分離体42がその表面に形成されたP<sup>-</sup>型半導体層20とが、絶縁体9上に形成される。半導体層10にはP<sup>+</sup>型半導体層であるソース/ドレイン11, 12が設けられ、PMOSトランジスタ1を形成する。半導体層20にはN<sup>+</sup>型半導体層であるソース/ドレイン21, 22が設けられ、NMOSトランジスタ2を形成する。トランジスタ1, 2から構成されるCMOSトランジスタ100において半導体層10, 20が形成するp n接合J5が存在する。p n接合J5は分離体41, 42と離れ、従って結晶欠陥が非常に小さい位置に存在するので、ここにおけるリーク電流は非常に小さい。



## 【特許請求の範囲】

【請求項1】 少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられ、第1導電型の第1半導体層、前記第1導電型で前記第1半導体層よりも不純物濃度が低い第2半導体層、前記第1導電型とは反対の第2導電型の第3半導体層、前記第2導電型で前記第3半導体層よりも不純物濃度が低い第4半導体層とを有する半導体膜と、前記基板から遠い側の前記半導体膜の表面において前記基板の前記表面から離隔して形成される絶縁性の分離体とを備え、前記第2半導体層と前記第4半導体層とは前記半導体膜の厚み方向に亘ってp n接合を形成し、前記基板の前記表面に沿って、前記分離体と前記半導体膜との境界から前記分離体へと向かう方向を正とし、前記境界を基準とした前記p n接合の位置の最大値が $2\mu m$ 以下である半導体装置。

【請求項2】 前記p n接合は、前記分離体から離れて位置する部分を有する、請求項1記載の半導体装置。

【請求項3】 前記分離体から離れて位置する部分の前記p n接合が、半導体素子を形成する、請求項2記載の半導体装置。

【請求項4】 前記第1半導体層、前記第2半導体層、前記第4半導体層、前記第3半導体層がこの順に隣接し、

前記第1半導体層及び前記第3半導体層は、前記p n接合に対するコンタクトとして機能する、請求項3記載の半導体装置。

【請求項5】 前記第1半導体層、前記第4半導体層、前記第2半導体層、前記第3半導体層がこの順に隣接し、前記第1半導体層及び前記第2半導体層は、それぞれ異なる導電型のMOSトランジスタのソース／ドレイン層として機能する、請求項2記載の半導体装置。

【請求項6】 前記分離体から離れて位置する部分の前記p n接合に接する面が絶縁性であるカバーを更に備える、請求項2又は請求項5記載の半導体装置。

【請求項7】 前記第2半導体層は前記第4半導体層中に設けられ、

一対の前記第1半導体層が前記第2半導体層中に設けられ、

前記一対の前記第1半導体層が前記第2半導体層に対するコンタクトとして機能する、請求項2記載の半導体装置。

【請求項8】 少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられた第1導電型の第1半導体層と、

前記基板から遠い側の前記第1半導体層の表面において前記基板の前記表面から離隔して形成される絶縁性の分離体と、

前記第1半導体層の前記表面から前記基板の表面に至つて延在しつつ前記分離体とは離隔するp n接合を前記第1半導体層と共に形成し、前記第1半導体層中に形成される、前記第1導電型とは反対の第2導電型の第2半導体層とを備える抵抗器。

【請求項9】 前記第2半導体層中に形成され、前記第2導電型で前記第2半導体層よりも不純物濃度が高い一対の第3半導体層を更に備える請求項8記載の抵抗器。

【請求項10】 前記p n接合を覆うゲート電極を更に備える、請求項9記載の抵抗器。

10 【請求項11】 前記分離体から離れて位置する部分の前記p n接合に接する面が絶縁性であるカバーを更に備える、請求項9記載の抵抗器。

【請求項12】 (a) 絶縁体上に第1導電型の第1半導体層及び前記第1導電型とは反対の第2導電型の第2半導体層によって形成され、前記第1半導体層及び前記第2半導体層の表面から前記絶縁体に至って延設されるp n接合を設け、絶縁性の分離体を前記絶縁体から遠い側の前記第1半導体層及び前記第2半導体層の前記表面において、前記p n接合及び前記絶縁体から離隔して設ける工程と、

(b) 前記第1半導体層中に、前記第2半導体層よりも不純物濃度の高い第2導電型の第3半導体層を第1のソース／ドレイン層として一対形成する工程と、

(c) 前記第2半導体層中に、前記第1半導体層よりも不純物濃度の高い第1導電型の第4半導体層を第2のソース／ドレイン層として一対形成する工程と、

(d) 前記p n接合並びに一対の前記第1のソース／ドレイン層及び前記第2のソース／ドレイン層上に絶縁膜を形成する工程とを備える、半導体装置の製造方法。

20 【請求項13】 前記第1のソース／ドレイン及び前記第2のソース／ドレインをそれぞれ有する異なる導電型のMOSトランジスタのゲート絶縁膜を形成する工程において前記絶縁膜が形成される、請求項12記載の半導体装置の製造方法。

【請求項14】 前記第1のソース／ドレイン及び前記第2のソース／ドレインをそれぞれ有する異なる導電型のMOSトランジスタのゲート電極のサイドウォールを形成する工程において前記絶縁膜が形成される、請求項12記載の半導体装置の製造方法。

40 【請求項15】 少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられ、その厚み方向に亘ってp n接合が少なくとも一つ形成される半導体膜と、前記半導体膜上に選択的に形成され、前記半導体膜と金属との化合物である金属化合物層とを備え、前記基板の前記表面に沿って、前記化合物層と前記半導体膜との境界から前記半導体膜へと向かう方向を正とし、前記境界を基準とし、少なくとも電圧が印加されるように配置された前記p n接合の全ての位置の最大値が $2\mu m$ 以下である半導体装置。

50 【請求項16】 前記p n接合上に設けられ、前記半導

体膜の金属との化合を阻むマスクを更に備える、請求項15記載の半導体装置。

【請求項17】前記マスクは、前記半導体膜において形成されるMOSトランジスタのゲートと厚み方向に同一構成を有する、請求項16記載の半導体装置。

【請求項18】(a) 絶縁体上に互いに導電型の異なる第1半導体層及び第2半導体層によって形成され、前記第1半導体層及び前記第2半導体層の表面から前記絶縁体に至って延設されるpn接合を設け、前記pn接合を開口する開口部を有する絶縁性の分離体を前記絶縁体から遠い側の前記第1半導体層及び前記第2半導体層の表面において前記絶縁体から離隔して設ける工程と、

(b) ゲートを有する半導体素子を前記第1半導体層に形成する工程と、

(c) 前記開口部において前記pn接合を覆い、前記第1半導体層及び第2半導体層の少なくともいずれか一方を前記開口部において露出させるマスクを形成する工程と、

(d) 露出した前記第1半導体層及び前記第2半導体層の前記表面を、金属と化合させる工程とを備える、半導体装置の製造方法。

【請求項19】前記工程(b)、(c)は同一のプロセスで実行される、請求項18記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は、pn接合を有する半導体装置に関し、特に絶縁性の基板の上に設けられた半導体膜に、基板と接触することなく基板とは反対側で半導体膜に絶縁性の分離体が設けられた構成を呈する半導体装置、抵抗器に関する。

##### 【0002】

【従来の技術】従来から、いわゆるSOI(Semiconductor On Insulator)構造が提案されている。図62はSOI構造を呈するCMOS(Complementary Metal Oxide Semiconductor)トランジスタ200の構成を示す断面図である。絶縁体9の上には、P-型の半導体層20が設けられており、その絶縁体9から遠い側の表面には絶縁体9と離隔した絶縁性の分離体40が設けられている。このように、絶縁体と離隔しつつ、絶縁体上に設けられた半導体膜の表面に設けられ、半導体層の表面を分離する分離体を、「部分分離体」と仮称することにする。

【0003】半導体層20中にはN<sup>+</sup>型のソース/ドレイン層21、22が設けられ、これらは半導体層20上にゲート絶縁膜を介して設けられたゲート電極23と共にNMOSトランジスタ2を構成している。このように部分分離体を伴ってSOI構造を呈するNMOSトランジスタは、例えば“Bulk-Layout-Compatible 0.18 μm SOI-CMOS Technology Using Body-Fixed Partial Trenc

h Isolation (PTI)” (Y.Hirano et al., 1999 IEEE International SOI Conference, Oct.1999, pp131-132)に開示されている。

【0004】絶縁体9の上には更に、N-型の半導体層10が設けられている。そして半導体層10中に設けられたP<sup>+</sup>型のソース/ドレイン層11、12と、半導体層10上にゲート絶縁膜を介して設けられたゲート電極13が、PMOSトランジスタ1を構成している。

【0005】ソース/ドレイン層22は半導体層20を、ソース/ドレイン層12は半導体層10を、それぞれ厚み方向に貫通し、各半導体層10、20を断面視上で分割する。ソース/ドレイン層12、22の間には半導体層20の一部である半導体層20t及び半導体層10の一部である半導体層10tが存在する。半導体層20t及び半導体層10tは部分分離体40の下方、即ち部分分離体40と絶縁体9との間で、互いに隣接してpn接合J1を形成している。例えば部分分離体40の形成前に半導体層10、20を形成する段階でpn接合J1が形成され、その後に半導体層10、20の境界で部分分離体40を形成すれば、上述の態様でpn接合J1が位置する。

【0006】以上のように、一般にLSI(Large Scale Integrated circuit)では、SOI構造の半導体膜として、異なる導電型、即ちp型とn型の半導体層が形成され、MOSトランジスタやバイポーラトランジスタがこれらの半導体層を用いて形成される。

##### 【0007】

【発明が解決しようとする課題】しかし、図62に示された構造では、部分分離体40の下方に存在することに起因して、pn接合J1において異常なリーク電流が発生することが観察された。そこで本発明は、pn接合の位置を制御し、リーク電流を抑制する半導体装置を提案するものである。

##### 【0008】

【課題を解決するための手段】この発明のうち請求項1にかかるものは半導体装置であって、少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられ、第1導電型の第1半導体層、前記第1導電型で前記第1半導体層よりも不純物濃度が低い第2半導体層、前記第1導電型とは反対の第2導電型の第3半導体層、前記第2導電型で前記第3半導体層よりも不純物濃度が低い第4半導体層とを有する半導体膜と、前記基板から遠い側の前記半導体膜の表面において前記基板の前記表面から離隔して形成される絶縁性の分離体とを備える。そして、前記第2半導体層と前記第4半導体層とは前記半導体膜の厚み方向に亘ってpn接合を形成し、前記基板の前記表面に沿って、前記分離体と前記半導体膜との境界から前記分離体へと向かう方向を正とし、前記境界を基準とした前記pn接合の位置の最大値が2μm以下である。

【0009】この発明のうち請求項2にかかるものは、

請求項1記載の半導体装置であって、前記p n接合は、前記分離体から離れて位置する部分を有する。

【0010】この発明のうち請求項3にかかるものは、請求項2記載の半導体装置であって、前記分離体から離れて位置する部分の前記p n接合が、半導体素子を形成する。

【0011】この発明のうち請求項4にかかるものは、請求項3記載の半導体装置であって、前記第1半導体層、前記第2半導体層、前記第4半導体層、前記第3半導体層がこの順に隣接し、前記第1半導体層及び前記第3半導体層は、前記p n接合に対するコンタクトとして機能する。

【0012】この発明のうち請求項5にかかるものは、請求項2記載の半導体装置であって、前記第1半導体層、前記第4半導体層、前記第2半導体層、前記第3半導体層がこの順に隣接し、前記第1半導体層及び前記第2半導体層は、それぞれ異なる導電型のMOSトランジスタのソース／ドレイン層として機能する。

【0013】この発明のうち請求項6にかかるものは、請求項2又は請求項5記載の半導体装置であって、前記分離体から離れて位置する部分の前記p n接合に接する面が絶縁性であるカバーを更に備える。

【0014】この発明のうち請求項7にかかるものは、請求項2記載の半導体装置であって、前記第2半導体層は前記第4半導体層中に設けられ、一対の前記第1半導体層が前記第2半導体層中に設けられ、前記一対の前記第1半導体層が前記第2半導体層に対するコンタクトとして機能する。

【0015】この発明のうち請求項8にかかるものは抵抗器であって、少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられた第1導電型の第1半導体層と、前記基板から遠い側の前記第1半導体層の表面において前記基板の前記表面から離隔して形成される絶縁性の分離体と、前記第1半導体層の前記表面から前記基板の表面に至って延在しつつ前記分離体とは離隔するp n接合を前記第1半導体層と共に形成し、前記第1半導体層中に形成される、前記第1導電型とは反対の第2導電型の第2半導体層とを備える。

【0016】この発明のうち請求項9にかかるものは、請求項8記載の抵抗器であって、前記第2半導体層中に形成され、前記第2導電型で前記第2半導体層よりも不純物濃度が高い一対の第3半導体層を更に備える。

【0017】この発明のうち請求項10にかかるものは、請求項9記載の抵抗器であって、前記p n接合を覆うゲート電極を更に備える。

【0018】この発明のうち請求項11にかかるものは、請求項9記載の抵抗器であって、前記分離体から離れて位置する部分の前記p n接合に接する面が絶縁性であるカバーを更に備える。

【0019】この発明のうち請求項12にかかるものは

半導体装置の製造方法であって、(a)絶縁体上に第1導電型の第1半導体層及び前記第1導電型とは反対の第2導電型の第2半導体層によって形成され、前記第1半導体層及び前記第2半導体層の表面から前記絶縁体に至って延設されるp n接合を設け、絶縁性の分離体を前記絶縁体から遠い側の前記第1半導体層及び前記第2半導体層の前記表面において、前記p n接合及び前記絶縁体から離隔して設ける工程と、(b)前記第1半導体層中に、前記第2半導体層よりも不純物濃度の高い第2導電型の第3半導体層を第1のソース／ドレイン層として一対形成する工程と、(c)前記第2半導体層中に、前記第1半導体層よりも不純物濃度の高い第1導電型の第4半導体層を第2のソース／ドレイン層として一対形成する工程と、(d)前記p n接合並びに一対の前記第1のソース／ドレイン層及び前記第2のソース／ドレイン層上に絶縁膜を形成する工程とを備える。

【0020】この発明のうち請求項13にかかるものは、請求項12記載の半導体装置の製造方法であって、前記第1のソース／ドレイン及び前記第2のソース／ドレインをそれぞれ有する異なる導電型のMOSトランジスタのゲート絶縁膜を形成する工程において前記絶縁膜が形成される。

【0021】この発明のうち請求項14にかかるものは、請求項12記載の半導体装置の製造方法であって、前記第1のソース／ドレイン及び前記第2のソース／ドレインをそれぞれ有する異なる導電型のMOSトランジスタのゲート電極のサイドウォールを形成する工程において前記絶縁膜が形成される。

【0022】この発明のうち請求項15にかかるものは半導体装置であって、少なくとも表面が絶縁性の基板と、前記基板の前記表面上に設けられ、その厚み方向に亘ってp n接合が少なくとも一つ形成される半導体膜と、前記半導体膜上に選択的に形成され、前記半導体膜と金属との化合物である金属化合物層とを備える。そして、前記基板の前記表面に沿って、前記化合物層と前記半導体膜との境界から前記半導体膜へと向かう方向を正とし、前記境界を基準とし、少なくとも電圧が印加されるように配置された前記p n接合の全ての位置の最大値が2μm以下である。

【0023】この発明のうち請求項16にかかるものは、請求項15記載の半導体装置であって、前記p n接合上に設けられ、前記半導体膜の金属との化合を阻むマスクを更に備える。

【0024】この発明のうち請求項17にかかるものは、請求項16記載の半導体装置であって、前記マスクは、前記半導体膜において形成されるMOSトランジスタのゲートと厚み方向に同一構成を有する。

【0025】この発明のうち請求項18にかかるものは半導体装置の製造方法であって、(a)絶縁体上に互いに導電型の異なる第1半導体層及び第2半導体層によつ

て形成され、前記第1半導体層及び前記第2半導体層の表面から前記絶縁体に至って延設されるp n接合を設け、前記p n接合を開口する開口部を有する絶縁性の分離体を前記絶縁体から遠い側の前記第1半導体層及び前記第2半導体層の表面において前記絶縁体から離隔して設ける工程と、(b) ゲートを有する半導体素子を前記第1半導体層に形成する工程と、(c) 前記開口部において前記p n接合を覆い、前記第1半導体層及び第2半導体層の少なくともいずれか一方を前記開口部において露出させるマスクを形成する工程と、(d) 露出した前記第1半導体層及び前記第2半導体層の前記表面を、金属と化合させる工程とを備える。

【0026】この発明のうち請求項19にかかるものは、請求項18記載の半導体装置の製造方法であって、前記工程(b)、(c)は同一のプロセスで実行される。

#### 【0027】

【発明の実施の形態】発明の基本的思想、本発明の実施の形態の説明を行う前に、本発明の基本的思想について説明する。もちろんこの基本的思想も本発明の範疇にある。

【0028】本発明においては、p n接合を欠陥密度の低い位置に形成することによりリーク電流を抑制する。本発明においてp n接合を形成すべき位置の欠陥密度を減少させるには応力の影響を考慮する。例えば半導体表面において部分分離体を形成すれば、当該部分分離体から離れた位置での半導体表面では応力が高められて欠陥密度が増大する。あるいは表面が金属と化合した半導体、例えばシリサイド化されたシリコンにおいても応力が高められ、欠陥の固着や不純物のゲッタリングが生じる。

【0029】そこで本発明では、応力が生じる位置から離れて、あるいは更に応力が生じる位置近傍においてp n接合を形成することにより、当該p n接合での欠陥密度が低い半導体装置を提供する。

【0030】図1は部分分離体40近傍の構造を示す断面図である。N<sup>-</sup>型半導体層10及びP<sup>-</sup>型半導体層20は、p n接合J10a、J10b、J10c、J10dのいずれか一つを形成している。p n接合J10a～J10dは、絶縁体9の表面上に一端を有し、半導体層10、20が構成する半導体膜の厚さ方向に亘って延在する。絶縁性の部分分離体40は、絶縁体9から遠い側において、少なくとも半導体層10の表面に形成され、絶縁体9とは離隔している。

【0031】半導体層10、20が構成する半導体膜と部分分離体40との境界のうち、最も半導体層20に近い位置、あるいは最も半導体層10から遠い位置を、部分分離体40の端部として定義する。そして、当該端部から、絶縁体9の表面に平行に部分分離体40へと向かう方向を正とし、当該端部を基準とした距離をdとす

る。大まかにいえば、部分分離体40が半導体層10、20に対して区分して得られる、いわゆる活性領域から部分分離体40へ向かう距離として距離dを把握することもできる。

【0032】図2は、半導体層10、20の欠陥密度の、位置dに対する依存性を示すグラフである。グラフから理解されるように、値dが2μmを越えると欠陥密度は急激に増加する。これは部分分離体40を形成することにより半導体層10、20に応力がかかり、欠陥密度が増大するためであると考えられる。

【0033】図1においてdは2μmを意味する。距離dの最大値d<sub>a</sub>がd以下であるp n接合J10aを半導体層10、20が形成する場合には、ここでのリーク電流は非常に小さい。しかし、距離dの最大値d<sub>b</sub>がdを越えるp n接合J10bを半導体層10、20が形成する場合には、ここでのリーク電流の抑制は期待できない。p n接合J10cのように、距離dの最小値すらdを越えるp n接合J10cを半導体層10、20が形成する場合と比較すると、リーク電流の軽減の効果はあるといえる。

【0034】p n接合J10dは、距離dの最大値が負となる位置に存在する。これはp n接合J10dが部分分離体40の下方には存在せず、活性領域にその全てが存在する場合である。p n接合J10dにおいても、もちろん、リーク電流は非常に小さい。

【0035】以上のように、部分分離体の端部から上記の方向に沿った距離が2μm以下の範囲内にp n接合が位置するという条件を満足するように、換言すれば、部分分離体と、互いに異なる導電型の2つの半導体層が成す半導体膜との境界から、分離体へと向かう方向を正として見たp n接合の位置の最大値が2μm以下であるという条件を満足するように、当該2つの半導体層と部分分離体との位置関係を設計することにより、当該p n接合でのリーク電流を非常に小さくすることができる。

【0036】図3は、部分分離体45が活性領域31a、31bを露出させる構造を示す平面図である。半導体層10、20は紙面奥側に位置することになる。図中鎖線で示された境界M1は、活性領域31a、31bから2μmの位置を示している。

【0037】半導体層10、20は図示されない絶縁体(図1の絶縁体9に相当)に接しており、p n接合J41あるいはp n接合J42を形成する。p n接合J41、J42はいずれも境界M1よりも活性領域31a、31b側に存在するので、そこでのリーク電流を抑制することができる。p n接合J41は活性領域31a、31bにおいて露出することなく部分分離体45で覆われているのに対し、p n接合J42は活性領域31a、31bにおいて露出する。上述のように、活性領域31a、31bにおいて露出する部分でのp n接合J42は、図1や図2に則していえばdが負の場合に相当す

る。

【0038】図4は活性領域31a, 31b同士が $2\delta = 4\mu\text{m}$ 離れている場合を示す平面図である。活性領域31a, 31bから $\delta = 2\mu\text{m}$ の位置にそれぞれ境界M1a, M1bを示している。半導体層10, 20は、いずれも部分分離体45から絶縁体9に至って延在するpn接合J43, J44のいずれか一方を形成する。pn接合J43は境界M1bよりも活性領域31b側に存在するので、ここでのリーク電流を抑制することができる。しかし、半導体層10, 20がpn接合J44を形成する場合には、pn接合J44が位置Aにおいて、境界M1a, M1bよりも活性領域31a, 31bから遠くに位置しているので、位置Aにおいてリーク電流が抑制できない。従って、このように境界M1a, M1bを跨ぐpn接合はリーク電流を抑制する点で好ましくない。

【0039】図5は活性領域31a, 31bの有する辺が対向していない場合を例示する平面図である。境界M1a, M1bは、それぞれ活性領域31a, 31bから $2\mu\text{m}$ の位置を示し、両者は活性領域31a, 31bの最近接する2頂点の間で重なっており、全体として一つの境界M1を形成している。半導体層10, 20はいずれも部分分離体45から絶縁体9に至って延在するpn接合J45, J46のいずれか一方を形成する。pn接合J45の延在方向に活性領域31a, 31bが並んでいなくとも、境界M1よりも活性領域31aあるいは活性領域31b側に存在しているので、pn接合J45でのリーク電流は抑制できる。

【0040】しかし、半導体層10, 20が、pn接合J46を形成する場合には、pn接合J46の延在方向に活性領域31a, 31bが並んでおらず、境界M1bよりも活性領域31b側に近い部分を有してはいるが、境界M1aよりも活性領域31a側から遠い部分をも有している。従って、リーク電流を抑制する点ではpn接合J46よりもpn接合J45の方が望ましい。

【0041】図6は表面が金属と化合した半導体がpn接合を形成する構造を示す断面図である。N型半導体層10及びP型半導体層20は例えばシリコンを主体とし、pn接合J50a, J50bのいずれか一つを形成している。P型半導体層20は、少なくともその一部の表面に、絶縁体9とは離隔したシリサイド膜20sが形成されている。pn接合J50a, J50bは、絶縁体9の表面上に一端を有し、半導体層10, 20が構成する半導体膜の厚さ方向に亘って延在する。

【0042】半導体層10, 20が構成する半導体膜とシリサイド膜20sとの境界のうち、最も半導体層20に近い位置、あるいは最も半導体層10から遠い位置を、シリサイド膜20sの端部として定義する。そして、当該端部から、絶縁体9の表面に平行に半導体層10へと向かう方向を正とし、当該端部を基準とした距離

を $t$ とする。大まかにいえば、シリサイド膜20sから半導体層10へと向かう距離として距離 $t$ を把握することもできる。

【0043】図7は、半導体層10, 20の欠陥密度の、位置 $t$ に対する依存性を示すグラフである。グラフから理解されるように、値 $t$ が $2\mu\text{m}$ を越えると欠陥密度は急激に増加する。これは上述のように、シリサイド膜20sを形成することにより、その膜内応力が欠陥の固着や不純物のゲッタリングを生じさせてるので、その近傍のある範囲内の結晶欠陥の発生が抑制されているためであると考えられる。

【0044】図6において $\tau$ は $2\mu\text{m}$ を意味する。半導体層10, 20がpn接合J50aを形成する場合には、ここでのリーク電流は非常に小さい。pn接合J50aの内、最もシリサイド膜20sよりも離れた位置の距離 $t = t_a$ ですら、 $t_a \leq \tau$ を満足するからである。しかし、距離 $t$ の最大値 $t_b$ が $\tau$ を越えるpn接合J50bを半導体層10, 20が形成する場合には、ここでのリーク電流の抑制は期待できない。

20 【0045】pn接合J50aは、その絶縁体9の近傍において距離 $t$ が負となる形状を呈している。pn接合が短絡されないためにはシリサイド膜20sにpn接合J50aが接触してはならないが、pn接合J50aのように、シリサイド膜20sと接触しなければ、 $t < 0$ となる位置を有していても本発明の効果を得ることができる。

【0046】以上のように、シリサイド膜の端部から上記の方向に沿った距離が $2\mu\text{m}$ 以下の範囲内にpn接合が位置するという条件を満足するように、換言すれば、30 互いに異なる導電型の2つの半導体層が成す半導体膜の表面に形成されたシリサイド膜と、半導体膜表面での半導体膜とシリサイド膜との境界から、シリサイド膜が形成されていない半導体膜表面へと向かう方向を正として見た、pn接合の位置の最大値が $2\mu\text{m}$ 以下であるという条件を満足するように、当該2つの半導体層とシリサイド膜との位置関係を設計することにより、当該pn接合でのリーク電流を非常に小さくすることができる。リーク電流の抑制のためには、少なくとも、PウェルとNウェルとが形成するpn接合のように、電圧が印加されるpn接合の全てにおいて上記条件が満足されることが望ましい。

【0047】図8はシリサイド膜とpn接合との位置関係を示す平面図である。半導体層10, 20はpn接合J51あるいはpn接合J52を形成する。そして半導体層20の表面において選択的にシリサイド膜20sが形成されている。図中鎖線で示された境界N1は、シリサイド膜20sから $2\mu\text{m}$ の位置を示している。

【0048】半導体層10, 20は図示されない絶縁体(図6の絶縁体9に相当)に接しており、pn接合J550 1は境界N1よりもシリサイド膜20s側に存在するの

で、そこでのリーク電流を抑制することができる。 $p-n$ 接合J52は境界N1よりも半導体層10側に存在するので、リーク電流の抑制を期待することはできない。

【0049】図9は分離した2つのシリサイド膜同士が $2\tau = 4\ \mu m$ 離れている場合を示す平面図である。図中に上下に分かれて示されるシリサイド膜から $\tau = 2\ \mu m$ の位置に、それぞれ境界N1a, N1bを示している。半導体層10, 20は実線で示される $p-n$ 接合J53あるいは破線で示される $p-n$ 接合J54を形成する。

【0050】 $p-n$ 接合J53が形成される場合には、図中に上下に分かれて示されるシリサイド膜はそれぞれ半導体層20, 10の表面において形成されるシリサイド膜20s, 10sである。そして $p-n$ 接合J53は境界N1bよりもシリサイド膜10s側に存在するので、ここでのリーク電流を抑制することができる。しかし、 $p-n$ 接合J54が形成される場合には、図中に上下に分かれて示されるシリサイド膜はいずれも半導体層20の表面に形成されたシリサイド膜20sである（図中下側のシリサイド膜の括弧内の符号20sは、破線で示された $p-n$ 接合J54が形成された場合に対応している）。 $p-n$ 接合J54は位置Cにおいて、境界N1a, N1bよりもシリサイド膜20sから遠くに位置しているので、位置Cにおいてリーク電流を抑制できない。従って、このように境界N1a, N1bを跨ぐ $p-n$ 接合はリーク電流を抑制する点で好ましくない。

【0051】図10はシリサイド膜の有する辺が対向していない場合を例示する平面図である。境界N1a, N1bは、それぞれ半導体層10, 20の表面に形成されたシリサイド膜10s, 20sから $2\ \mu m$ の位置を示す。境界N1a, N1bはシリサイド膜10s, 20sの最近接する2頂点の間で重なっており、全体として一つの境界N1を形成している。半導体層10, 20の構成する半導体膜の表面から絶縁体9に至って $p-n$ 接合J55, J56のいずれか一方が形成される場合が例示されている。 $p-n$ 接合J55の延在方向にシリサイド膜10s, 20sが並んでおらず、 $p-n$ 接合J56は境界N1bよりもシリサイド膜10s側に近い部分を有してはいるが、境界N1aよりもシリサイド膜10s側から遠い部分をも有している。従って、リーク電流を抑制する点では $p-n$ 接合J56よりも $p-n$ 接合J55の方が望ましい。

【0053】活性領域31a, 31bには半導体素子が形成されていても構わない。またシリサイド膜10s, 20sを電極とする半導体装置が形成されて

いても構わない。このような制限の緩さは、半導体装置のレイアウトの自由度を高める上で好適である。

【0054】図11は半導体装置の電極となっていないシリサイド膜が形成された構成を例示する平面図である。半導体層10, 20が $p-n$ 接合J61を形成しており、半導体層10, 20の表面のうち、シリサイド膜10s<sub>1</sub>~10s<sub>4</sub>が形成されていない領域は後記の例外を除き、部分分離体45によって覆われている。換言すれば、後記の例外を除き、部分分離体45によって選択的に露出した位置においてシリサイド膜10s<sub>1</sub>~10s<sub>4</sub>が半導体層10の表面に形成されている。

【0055】そしてシリサイド膜10s<sub>1</sub>, 10s<sub>3</sub>, 10s<sub>4</sub>は半導体装置の電極となっておらず、シリサイド膜10s<sub>2</sub>はトランジスタQ6のソース／ドレインとして機能する。上述の例外は、トランジスタQ6のゲートG6の下方の半導体層10であり、この部分の半導体層10は部分分離体45によって覆われてはいないものの、ゲートG6によって覆われることにより、シリサイド化されていない。

【0056】このように半導体装置の電極として機能しないシリサイド膜10s<sub>1</sub>, 10s<sub>3</sub>, 10s<sub>4</sub>も、シリサイド膜10s<sub>3</sub>と共にそれから $2\ \mu m$ 以内の境界N2で示される領域内に $p-n$ 接合J61を含み、リーク電流を抑制する機能を果たしている。

【0057】もちろん、活性領域31a, 31bやシリサイド膜10s, 20sが矩形である必要もない。また、シリサイド膜10s, 20sが形成されていない半導体層10, 20の表面には部分分離体が形成されていても構わない。

【0058】以上のように、本発明の基本的な考え方とは、部分分離体またはシリサイド膜の端部から $2\ \mu m$ を越えない位置では欠陥密度が非常に小さいことに鑑み、かかる位置を越えて $p-n$ 接合が位置しない構造を採用して、リーク電流を低減するものである。

【0059】実施の形態1、図12は本実施の形態にかかる半導体装置であるダイオードD1の構成を示す平面図であり、図13は図12における位置P1P1における断面図である。絶縁体9の上には、P<sup>+</sup>型の半導体層20が設けられている。

【0060】絶縁体9から遠い側の半導体層20の表面には部分分離体43が、例えばほぼ矩形の輪状に設けられており、活性領域を区画している。部分分離体43が呈する矩形の輪の内側には、P<sup>+</sup>型半導体層15、半導体層15よりも不純物濃度の低いP型半導体層14、N型半導体層25、半導体層25よりも不純物濃度の高いN<sup>+</sup>型半導体層24が、この順に外側から内側へといずれもほぼ矩形の輪状に設けられている。半導体層14, 15, 24, 25はいずれも絶縁体9に接触しつつも部分分離体43の存在する側において、互いの露出を阻ま

ない。

【0061】半導体層14, 25の上方には、図示されないゲート絶縁膜を介して半導体層14, 25と対峙するゲートG4が設けられている。また半導体層14, 25は絶縁体9の表面に接触しつつも部分分離体43の存在する側に露出するpn接合J2を形成している。半導体層24, 15はpn接合J2からそれぞれn側及びp側のコンタクトを探る機能を有する。

【0062】pn接合J2は半導体層15を介して部分分離体43から離れているので、「発明の基本的思想」で述べたように、pn接合J2における結晶欠陥は非常に小さく、ダイオードD1のリーク電流（逆方向バイアス電流）も非常に小さい。

【0063】実施の形態2、図14は本実施の形態にかかる半導体装置であるダイオードD2の構成を示す平面図であり、図15は図14における位置P2P2における断面図である。絶縁体9の上には、P型の半導体層16が設けられている。

【0064】絶縁体9から遠い側の半導体層16の表面には部分分離体45が、例えばほぼ矩形の輪状に設けられており、活性領域を区画している。部分分離体45が呈する矩形の輪の内側には、N型の半導体層17が選択的に形成されており、半導体層16との間にpn接合J4を形成している。pn接合J4は絶縁体9に接触しつつも部分分離体45の存在する側に露出している。但し、部分的には部分分離体45の下方（絶縁体9側）に存在している。

【0065】半導体層17内には絶縁体9に接触しつつも部分分離体45の存在する側に露出するN<sup>+</sup>型の半導体層28が形成され、部分分離体45が呈する矩形の輪の内側の半導体層16内には、絶縁体9に接触しつつも部分分離体45の存在する側に露出するP<sup>+</sup>型の半導体層27が形成される。半導体層27は半導体層16と導電型が同じP型であって不純物濃度が高い。また半導体層28は半導体層16と導電型が同じN型であって不純物濃度が高い。よって半導体層28, 27はpn接合J4からそれぞれn側及びp側のコンタクトを探る機能を有する。

【0066】図16は、図15において右側に位置するpn接合J4の近傍Bを拡大して示す断面図である。部分分離体45と半導体層17との境界と、pn接合J4との間の距離の最大値d1が、2μm以下であれば、「発明の基本的思想」で述べたようにpn接合J4における結晶欠陥は非常に小さい。これは図15には現れない位置のpn接合J4についても同様である。また、実施の形態1と同様に、図15において左側に位置するpn接合J4においても結晶欠陥は非常に小さく、ダイオードD2のリーク電流（逆方向バイアス電流）は非常に小さい。

【0067】実施の形態3、図17は本実施の形態にか

かる半導体装置であるCMOSトランジスタ100の構成を示す平面図であり、図18は図17における位置P3P3における断面図である。

【0068】絶縁体9の上には、N<sup>-</sup>型の半導体層10及びP<sup>-</sup>型の半導体層20が設けられている。半導体層10の端部10tと半導体層20の端部20tとは、絶縁体9に接触しつつ絶縁体9とは反対側に露出するpn接合J5を形成している。

【0069】絶縁体9から遠い側の半導体層16の表面には部分分離体41, 42が設けられている。部分分離体41が区画する活性領域にはゲートG1, G2を有する半導体素子Q1と、PMOSトランジスタ1が設けられている。部分分離体42が区画する活性領域にはゲートG3を有する半導体素子Q2と、NMOSトランジスタ2が設けられている。部分分離体41, 42の間にp<sub>n</sub>接合J5及び端部10t, 20tが部分的に露出する領域30が存在する。

【0070】PMOSトランジスタ1についていえば、部分分離体41が区画する活性領域においてP<sup>+</sup>型のソース／ドレイン層11, 12が設けられ、半導体層10上にゲート絶縁膜を介してゲート電極13が設けられている。またNMOSトランジスタ2についていえば、部分分離体42が区画する活性領域においてP<sup>+</sup>型のソース／ドレイン層21, 22が設けられ、半導体層20上にゲート絶縁膜を介してゲート電極23が設けられている。なお、図面の簡略のため、ゲート絶縁膜やゲート電極13, 23の側面に存在する側壁は、図17において省略している。

【0071】PMOSトランジスタ1及びNMOSトランジスタ2が形成するCMOSトランジスタ100においては、ソース／ドレイン層11, 12と導電型が同じP型であって不純物濃度が低い半導体層20の端部20tと、ソース／ドレイン層21, 22と導電型が同じN型であって不純物濃度が低い半導体層10の端部10tとが形成するpn接合J5は、いずれの部分分離体41, 42からも離れている。従って、「発明の基本的思想」で述べたように、pn接合J5における結晶欠陥は非常に小さく、図62で示されたCMOSトランジスタ200と比較して、異常リーク電流を非常に小さくすることができる。

【0072】図17及び図18においてはpn接合J5が存在する領域30は、半導体素子が形成されないダミー領域として図示されている。しかし、部分分離体から離れ、あるいは2μm以下で部分分離体の下方に潜り込んで形成されるpn接合が素子を形成しうる場合にも、「発明の基本的思想」で述べた効果を得ることができることは、実施の形態1, 2に示されるおりである。

【0073】図19乃至図21はCMOSトランジスタ100を形成する方法を工程順に示す断面図である。単結晶のシリコンからなる半導体膜3を載せた絶縁体9を

準備する。絶縁体は例えば酸化層からなる。その後、半導体膜3の絶縁体9から遠い方の表面に下敷き酸化膜49を全面に形成し、また絶縁体9とは離隔する部分分離体41, 42を形成して、図19に示された構成を得る。部分分離体の種々の形成方法については、別途に後述する。

【0074】次に部分分離体42、及びこれが区画し、後にN MOSトランジスタ2が形成されるべき位置の半導体膜3をレジスト81で覆う。レジスト81をマスクとして焼あるいは砒素のイオン注入61を下敷き酸化膜49を介して、あるいは更に部分分離体41を介して半導体膜3に施す(図20)。イオン注入61により、部分分離体41の下方、及びこれが区画し、後にPMOSトランジスタ1が形成されるべき半導体膜3はN-半導体層10となる。

【0075】次にN-半導体層10及び部分分離体41をレジスト82で覆い、硼素のイオン注入62を下敷き酸化膜49を介して、あるいは更に部分分離体42を介して半導体膜3に施す(図21)。イオン注入62により、部分分離体42の下方、及びこれが区画し、後にNMOSトランジスタ2が形成されるべき半導体膜3はP-半導体層20となる。

【0076】この後、周知の方法により、下敷き酸化膜49を除去し、ゲート絶縁膜、ゲート電極13, 23、ソース／ドレイン層11, 12, 21, 22を形成し、図18に示された構成が得られる。

【0077】実施の形態4. 図22は本実施の形態にかかる半導体装置である抵抗器R1の構成を示す平面図であり、図23は図22における位置P4P4における断面及び、図22において現れない位置での断面を示す断面図である。前者は右側に、後者は左側に、破断箇所Zを介して隣接して描いている。絶縁体9の上には、P-型の半導体層20が設けられている。

【0078】絶縁体9から遠い側の半導体層20の表面には部分分離体44が、例えばほぼ矩形の輪状に設けられており、活性領域を区画している。部分分離体44が呈する矩形の輪の内側には、部分分離体44と離れてN型の半導体層25が形成されている。そして半導体層25内には半導体層25と同じ導電型であって不純物濃度の高いN+型半導体層26a, 26bが形成されている。従って、半導体層26a, 26bは半導体層25が形成する抵抗体からコンタクトを採る機能を有する。

【0079】本実施の形態において、半導体層20, 25はpn接合J3を形成するが、pn接合J3は部分分離体44から離れているので「発明の基本的思想」で述べた条件を満足し、その効果を有する。もちろん、半導体層25が部分分離体44と接触して形成されており、pn接合J3が部分分離体44の下方に潜り込んで形成された部分を有していても、「発明の基本的思想」で述べた条件を満足する限り、リーク電流を抑制することが

できる。

【0080】上記実施の形態1乃至実施の形態3では、一対の導電型のそれぞれについて、不純物濃度が高い半導体層と低い半導体層が存在し、合計4種類以上の半導体層が存在する場合に、異なる導電型で低い不純物濃度を有する一対の半導体層の形成するpn接合が、「発明の基本的思想」で述べた条件を満足する場合を例示している。しかし本実施の形態のように、特に半導体素子として抵抗器を形成する場合には、上記4種類の半導体層を必ずしも必要としなくとも、「発明の基本的思想」で述べた効果を得ることもできる。

【0081】図24は本実施の形態にかかる他の半導体装置である抵抗器R11の構成を示す平面図であり、図25は図24における位置P41P41における断面図である。抵抗器R11は、抵抗器R1と比較して、N型の半導体層25をN+型半導体層251に置換し、N+型半導体層26a, 26bを設けない構成を備えている。N+型半導体層251の上面には、互いに離れた配線26c, 26dが設けられる。配線26c, 26dとの間でオーミックコンタクトを探るために、半導体層251はその不純物濃度が高められている。

【0082】その一方、抵抗器のみが集積回路で採用されることは少なく、多くの場合にはCMOSトランジスタも形成され、従ってPMOSトランジスタも絶縁体9上に形成されることが多い。例えば図23の左側に示されるようなPMOSトランジスタ1が、右側に示される抵抗器R1とともに搭載される集積回路においては、上記の4種類の半導体層が存在する、と把握することもできる。もちろん、抵抗器を形成する半導体層の導電型を上記と反対にし、抵抗器とNMOSトランジスタとを搭載する集積回路においても上記4種類の半導体層が存在する、と把握できるのはいうまでもない。

【0083】図26は本実施の形態にかかる更に他の半導体装置である抵抗器R2の構成を示す平面図であり、図27は図26における位置P5P5における断面図である。抵抗器R2は、図示されないゲート絶縁膜を介してpn接合J3及び半導体層25に対峙するゲート電極G5を、抵抗器R1に追加した構成を有している。かかる構成においても、当然、リーク電流を抑制することができる。

【0084】実施の形態5. 図17に示されたCMOSトランジスタ100において、ソース／ドレイン層11, 12, 21, 22の表面をシリサイド化しようとすれば、領域30において露出する端部10t, 20tの表面もシリサイド化され、半導体層10, 20が導通してしまう。このような短絡を回避するため、pn接合J5のように部分分離体41, 42から離れて形成され、露出しているpn接合は、これをシリサイド化の際に絶縁体で覆うことが望ましい。

【0085】図28は本実施の形態にかかる半導体装置

の構成を示す断面図であり、図17に示されたCMOS 100の構成に、領域30を覆う絶縁膜48を付加した構成が示されている。絶縁膜48には例えば窒化膜や酸化膜、あるいは更に酸化膜を下地とする窒化膜を採用できる。

【0086】絶縁膜48は、図17に示された構成上に一旦全面的に形成された後に、パターニングによって領域30にのみ残置してもよい。あるいはゲート電極13, 23のサイドウォールを形成する工程において、形成することもでき、容易に製造することができる。例えばサイドウォールの材料となる絶縁膜を異方性エッティングする際に、領域30をマスクで覆うことにより、絶縁膜48を残置してもよい。

【0087】図29は、図28に示された構成を有するCMOSトランジスタ100に対してシリサイド化を施して得られる構成を示した断面図である。ゲート電極13, 23及びソース/ドレイン層11, 12, 21, 22の表面にそれぞれシリサイド膜13s, 23s, 11s, 12s, 21s, 22sを形成することができる。しかし端部10t, 20tは露出していないので、両者を短絡するシリサイド膜は形成されない。

【0088】シリサイド化の際に、端部10t, 20tに接触する面が絶縁性の材料で領域30を覆うカバーを設ければ足り、カバーはその全体が絶縁性である必要はない。

【0089】図30は本実施の形態にかかる他の半導体装置の構成を示す断面図であり、図17に示されたCMOS100の構成に、領域30を覆うダミーゲートDGを付加した構成が示されている。但し、ダミーゲートDGはゲート電極13, 23と同様に、その下方にゲート絶縁膜を有しているので、端部10t, 20tは短絡されない。このような構造は、ゲート絶縁膜を形成する工程、及びゲート電極13, 23と同じ工程で形成することができ、容易に製造することができる。例えばゲート電極13, 23及びダミーゲートDGはポリシリコンで形成される。

【0090】図31は、図30に示された構成を有するCMOSトランジスタ100に対してシリサイド化を施して得られる構成を示した断面図である。ゲート電極13, 23及びダミーゲートDG、並びにソース/ドレイン層11, 12, 21, 22の表面にそれぞれシリサイド膜13s, 23s, DGs, 11s, 12s, 21s, 22sを形成することができる。しかし端部10t, 20tは露出していないので、両者を短絡するシリサイド膜は形成されない。

【0091】上述のように、部分分離体から離れて形成されたpn接合については、シリサイド化の際に上記カバーをすることが望ましい。これは抵抗器R1のpn接合J3についても同様であり、シリサイド化の際にpn接合J3が短絡されることを防止する。絶縁膜48は少

なくとも接合J3を覆っていればよく、図32のように半導体層26を覆ってから後で開口して半導体層26を露出しても、図33のように後でシリサイド化される部分をあらかじめ開口してもよい。もちろん、図34のように、絶縁膜48が部分分離体44と接触してもよい。図3に示されたpn接合J42についていえば、活性領域31a, 31bに露出している部分において、上記カバーが設けられることが望ましい。

【0092】しかし、部分分離体によって露出が阻まれるpn接合については、例えば図3に示されたpn接合J41、図4に示されたpn接合J43、図5に示されたpn接合J45は部分分離体45に対して絶縁体9側に形成されるので、露出することができなく、上記カバーは不要となる利点がある。更に、そのようなpn接合の上に配線が敷設される場合であっても、部分分離体が存在することにより、当該配線の寄生容量を小さくすることができる。

【0093】実施の形態6、図35は本実施の形態にかかるpn接合とシリサイド膜の配置を例示する平面図である。また図36は図35の位置P6P6における断面を示す断面図である。半導体層10, 20は例えばそれぞれN型ウェル、P型ウェルとして機能し、pn接合J57を形成している。また半導体層10, 20上には開口窓32, 33が開けられた部分分離体72が形成されている。開口窓32はpn接合J57に跨って開口されており、開口窓33は半導体層10上に開口されている。

【0094】開口窓32, 33において半導体層10, 20はシリサイド化され、それぞれシリサイド層10s, 20sを表面に有している。但し、開口窓32はpn接合J57に跨って形成されており、その短絡を回避するためにシリサイド膜10s, 20s同士の短絡を回避する必要がある。そこでシリサイド膜10s, 20s同士の短絡を防ぐため、開口窓32においてはpn接合J57上にシリサイド化を阻むマスクとなる絶縁膜71を設けてからシリサイド化を行う。

【0095】図36を参照して、シリサイド膜10sの端から半導体層20へ向かう方向に沿ってのpn接合J57の距離t1及び、シリサイド膜20sの端から半導体層10へ向かう方向に沿ってのpn接合J57の距離t2の少なくともいずれか一方が $\tau = 2 \mu\text{m}$ 以下であれば、本発明の効果を得ることができる。リーク電流を抑制するためにはpn接合J57の延在する全ての位置において $t1 \leq \tau$ または $t2 \leq \tau$ を満足することが望ましい。シリサイド膜10s, 20sから $2 \mu\text{m}$ の範囲が連結するように形成されれば、シリサイド膜10s, 20sや絶縁膜71が、必ずしもpn接合J57の延在する方向に連続している必要はない。図35では、シリサイド膜10s, 20sから $2 \mu\text{m}$ の境界N3が連結する程度にシリサイド膜10s, 20sがpn接合J57

の延在する方向に近接している場合が示されている。よってこの場合において当該方向に絶縁膜71も連続して設けられる必要はない。

【0096】本実施の形態ではpn接合J57に跨って開口する開口窓32を有する部分分離体72において、pn接合J57を覆う絶縁膜71を設ける。これをマスクとして半導体層10, 20のシリサイド化を行って、pn接合J57のリーケ電流を抑制することができる。

【0097】pn接合をシリサイド化から阻むためのマスクとして、絶縁膜の代わりに、ダミーゲートを採用することができる。図37は図17の位置P3P3における断面図であり、図31と類似の構造を呈している。図31に示された構造と異なっているのは、ダミーゲートDGは領域30を全て覆うのではなく、半導体層10t、20tを覆っていない点と、絶縁膜77が領域30において半導体層20tを覆っている点である。なお、図37ではダミーゲートDGにもサイドウォールが付加されている場合が例示されている。

【0098】このようなダミーゲートDG、絶縁膜77をマスクとしてシリサイド化を行うことにより、領域30において半導体層10tの表面にシリサイド膜10sが形成される。シリサイド膜10sからpn接合J5までの距離が2μm以下であれば、図37のように半導体層20tにシリサイド膜を形成する必要はなく、寄生容量を抑制できる。

【0099】勿論、図38に示されるようにダミーゲートDGによって半導体層20tを覆ってもよいし、図39に示されるように絶縁膜77によってpn接合J5と半導体層20tの両方を覆っても良い。

【0100】実施の形態7、図40は本実施の形態にかかるpn接合とシリサイド膜の配置を例示する平面図である。また図41及び図42は、いずれも図40の位置P7P7における断面の2つの例を示す断面図である。半導体層10, 20は、例えばそれぞれN型ウェル、P型ウェルとして機能し、pn接合J58を形成している。また半導体層10, 20上には部分分離体73が形成され、開口窓34において半導体層10及びシリサイド膜10sを露出させる。

【0101】開口窓34はマスク74によって選択的に覆われている。マスク74として絶縁膜74aを採用した場合が図41に、ダミーゲート74bを採用した場合が図42に、それぞれ示されている。

【0102】図41を参照して、絶縁膜74aは実施の形態6において図36で示された絶縁膜71と同様にして、部分分離体73と共に半導体層10を選択的に露出させ、シリサイド化を阻むマスクとして機能する。

【0103】シリサイド膜は、部分分離体によって覆われない半導体層の全ての表面において形成する必要はなく、pn接合をその周囲2μm以内に含む位置にシリサイド膜を形成すれば足りる。そしてこのように半導体層

表面の選択的なシリサイド化により、シリサイド化される面積を小さくして、これが他の導電体との間、例えばその上方に敷設される配線との間の寄生容量を低減することができる。

【0104】また、図42を参照して、ダミーゲート74bはシリサイド化前には、図示されない他のMOSトランジスタのゲート絶縁膜を形成する工程で形成される絶縁膜743と、当該トランジスタのゲート電極を形成する工程で形成される導電膜742とを備えている。そして半導体層10をシリサイド化する際に、自身は半導体層10のシリサイド化を阻むマスクとなりつつ、導電膜742の表面にシリサイド膜741が形成される。これにより、当該トランジスタのゲートと、ダミーゲート74bとは厚み方向の構成が同一となる。半導体層10のシリサイド化のマスクとしてダミーゲート74bを採用すると、絶縁膜74aを採用した場合と比較して、ダミーであるか、MOSトランジスタが形成されるかを問わず、半導体層10上の厚さを揃えることができる。これにより、その上に形成される層間絶縁膜の平坦性を向上させることができる。

【0105】実施の形態8、図43は本実施の形態にかかるpn接合とシリサイド膜の配置を例示する平面図である。また図44及び図45は、いずれも図43の位置P8P8における断面の2つの例を示す断面図である。半導体層10, 20は、例えばそれぞれN型ウェル、P型ウェルとして機能し、pn接合J59を形成している。また半導体層10, 20上には開口窓35, 36が開けられた部分分離体75が形成されている。

【0106】開口窓36には半導体層10, 20においてそれぞれPMOSトランジスタQ4およびNMOSトランジスタQ5が形成されている。そして開口窓35はその周辺部を除いてマスク76によって覆われている。

【0107】開口窓35は半導体装置が形成されないダミーとして半導体層10, 20を部分分離体75から覗かせる。このようなダミーは大きさや形の異なるものを採用しても良いが、図43では正方形の開口窓35を採用し、トランジスタQ4, Q5の占める位置を除いて複数が行列状に配置されている。このようなパターンで開口窓35を配置することは、パターニングの自動配置

40処理によって容易に実現することができる。但し、本実施の形態では、トランジスタQ4, Q5が形成される開口窓36は勿論のこと、開口窓35もpn接合J59に跨って設けられはしない。

【0108】マスク76として絶縁膜76aを採用した場合が図44に、ダミーゲート76bを採用した場合が図45に、それぞれ示されている。

【0109】図44を参照して、絶縁膜76aは実施の形態6において図36で示された絶縁膜71と同様にして、部分分離体75と共に半導体層10を選択的に露出させ、シリサイド化を阻むマスクとして機能する。実施

の形態7と同様の効果を得るためにには、pn接合J59をその周囲2μm以内に含む位置に開口窓35を設ければよい。

【0110】また、図45を参照して、ダミーゲート76bはシリサイド化前には、トランジスタQ4、Q5のゲート絶縁膜を形成する工程で形成される絶縁膜763と、当該トランジスタのゲート電極を形成する工程で形成される導電膜762と、当該トランジスタのサイドウォールを形成する工程で形成されるサイドウォール764を備えている。そして半導体層10、20をシリサイド化する際に、自身は半導体層10、20のシリサイド化を阻むマスクとなりつつ、導電膜762の表面にシリサイド膜761が形成される。半導体層10、20のシリサイド化を阻むマスクとしてダミーゲート76bを採用すると、その高さをトランジスタQ4、Q5のゲートG7、G8の高さと揃えることができ、実施の形態7と同様にして層間絶縁膜の平坦性を向上させることができる。

【0111】部分分離体の形成。以下では、部分分離体を形成する種々の方法について説明する。以下の方法を用いて、上記の実施の形態で説明した部分分離体を形成してもよい。

【0112】図46乃至図51は部分分離体の第1の製造方法を工程順に示す断面図である。まず半導体基板501を準備し、酸素イオン注入を伴うSIMOX法などにより、半導体基板501中に埋め込み酸化膜90を形成する。埋め込み酸化膜90は半導体基板501を、その厚み方向に半導体層501a、501bに分離し、図46に示された構成を得る。例えば埋め込み酸化膜90及び半導体層501bは上述の絶縁体9及び半導体膜3に対応し、それぞれ例えば100～400nm及び50～200nmに設定される。もちろん、貼り合わせによって図32に示された構成を得てもよい。

【0113】次に半導体層501b上に例えば20nmの酸化膜502と、200nm程度の窒化膜503を堆積し、更にその上に、部分的に開口するレジスト504を形成して図47に示された構成を得る。酸化膜502はCVDによる形成によって得ても、半導体層501bの熱酸化によって得てもよい。また窒化膜503はCVDによって形成することができ、窒化膜503の代わりに窒化酸化膜を採用してもよい。

【0114】次にレジスト504をマスクとして窒化膜503、酸化膜502をエッチングし、更に半導体層501bを埋め込み酸化膜90上に残しつつエッチングしてその厚さを減らし、図48に示されたトレンチ510を得る。

【0115】次にレジスト504を除去し、トレンチ510側から酸化膜505を、トレンチ510を埋める厚さ（例えば500nm）で堆積し、図49に示された構成を得る。

【0116】そして通常のトレンチ分離と同様の手法でCMP処理を行い、窒化膜503をも研磨してその厚さを減らし、図50に示された構成を得る。

【0117】そして窒化膜及び酸化膜に対するエッティングを行って、窒化膜503、酸化膜502を除去する。これによって図51に示されるように、埋め込み酸化膜90上に設けられた半導体層501bの表面に残置された酸化膜505が、部分分離体として機能する。

【0118】図52乃至図56は部分分離体の第2の製造方法を工程順に示す断面図である。部分分離体の第1の製造方法と同様にして図33に示された構成を得る。その後、レジスト504をマスクとして窒化膜503、酸化膜502、半導体層501bをエッティングして、埋め込み酸化膜90を露出させるトレンチ511を形成して図52に示された構成を得る。

【0119】その後、レジスト504を除去し、少なくともトレンチ511の底となる埋め込み酸化膜90を覆う、例えばトレンチ511の底及び内壁並びに窒化膜503の表面を覆う半導体層506を堆積させる。半導体層506としては、半導体基板501としてシリコンが形成された場合、例えばポリシリコンが採用される。そして半導体層506上に、これを介してトレンチ511を埋める酸化膜505を堆積し、図53に示された構成を得る。

【0120】そして通常のトレンチ分離と同様の手法でCMP処理を行い、窒化膜503をも研磨してその厚さを減らし、図54に示された構成を得る。

【0121】そして窒化膜及び酸化膜に対するエッティングを行って、窒化膜503、酸化膜502を除去し、図55に示された構成を得る。

【0122】この後、酸化処理を行うことにより、半導体層501bの表面及び半導体層506のうち埋め込み酸化膜90から遠い側が酸化され、それぞれ酸化膜508、507に変化して、図56に示された構成が得られる。その後、酸化膜508を除去して酸化膜505、507で形成された部分分離体が得られる。この方法では、酸化されずに残った半導体層506、501bが上述の半導体膜3に対応する。

【0123】図57乃至図60は部分分離体の第3の製造方法を工程順に示す断面図である。部分分離体の第1の製造方法と同様にしてトレンチ510を形成する。但し本法においては、窒化膜503、酸化膜502の間に、例えば10～100nmの厚さのポリシリコンからなる半導体層509を介在させている（図57）。トレンチ510を形成するときに行われる半導体層501bのエッティングに伴い、半導体層509のトレンチ510に露出する端部は、トレンチ510からみて後退している。

【0124】次に、トレンチ510の内壁に酸化膜520を形成し、図58に示された構成を得る。酸化膜50

2が例えれば800～1350℃の熱酸化で形成されるのに対し、酸化膜520は700～900℃のウェット酸化によって形成したり、塩酸と酸素を含んだ雰囲気中で酸化することによって形成する。これにより、酸化膜520は半導体層509と酸化膜502との間、及び酸化膜502と半導体層501bとの間に深く進入し、いわゆるバーズピークの形状を顕著にする。

【0125】次に、トレンチ510を埋め込む酸化膜521を堆積し、CMP処理を行ってこれを平坦化し、図59に示された構成を得る。後述するオーバーエッチングによっても酸化膜521の表面が低くなりすぎないようにするために、CMP処理において、酸化膜521の平坦面の位置が窒化膜503の主面よりも低くなりすぎないように酸化膜521の研磨量を調整する。

【0126】次に窒化膜503、半導体層509をウェットエッチングによって除去し、更に酸化膜502もエッチングして除去する。但し、酸化膜502のエッチングに際し、50～100%のオーバーエッチングを行い、酸化膜521のバーズピークの輪郭形状を滑らかにするとともに、半導体層509及び窒化膜503の輪郭形状に対応させて、それぞれ窪み523、524を形成する。これによって図60に示された部分分離体522を得ることができる。

【0127】図61は部分分離体522上にもゲート電極G10が延設された構成を示す断面図である。位置601に示されるように、バーズピークの先端から部分分離体522へと向かう方向に向かってほぼ上方に傾斜する部分には窪み523、524が存在する。従って、ゲート電極G10を形成する際に、不要なゲート材料が表面に残留することを防止する効果が高まり、また位置601における上方への傾斜に伴うバーズピーク近傍での段差が低減されるので、ゲート電極G10の形成が容易となる。

【0128】更に、位置602に示されるように、バーズピークの先端から部分分離体522へと向かう方向に向かって下方に傾斜する部分では、半導体層501b側に丸みを帯びて突出する形状を部分分離体522が呈している。このため、半導体素子の製造過程で行われる熱処理や酸化処理によって生じる半導体層501bと部分分離体522との界面近傍に生じる応力を緩和でき、当該応力によって半導体層501bに結晶欠陥が生じることを抑制できる。

【0129】

【発明の効果】この発明のうち請求項1又は請求項2にかかる半導体装置によれば、分離体と半導体膜との境界から2μm以下であるか、又は分離体が形成されていない位置では欠陥密度が非常に低い。従ってかかる位置で形成されたpn接合におけるリーク電流を非常に小さくすることができる。

【0130】この発明のうち請求項3にかかる半導体装

置によれば、半導体装置のレイアウトの自由度を高めることができる。

【0131】この発明のうち請求項4にかかる半導体装置によれば、リーク電流の小さなダイオードを得ることができる。

【0132】この発明のうち請求項5にかかる半導体装置によれば、リーク電流の小さなCMOSトランジスタを得ることができる。

【0133】この発明のうち請求項6にかかる半導体装置によれば、第1半導体層及び第3半導体層に対してシリサイド化を施す際、第2半導体層及び第4半導体層にもシリサイド化が施されることを回避できる。

【0134】この発明のうち請求項7にかかる半導体装置によれば、リーク電流の小さな抵抗器を得ることができる。

【0135】この発明のうち請求項8乃至請求項10にかかる抵抗器によれば、pn接合が分離体から離れて形成されており、第3半導体層が第2半導体層からなる抵抗体に対するコンタクトとして機能するので、リーク電流が小さい抵抗器を得ることができる。

【0136】この発明のうち請求項11にかかる抵抗器によれば、シリサイド処理を行っても、第1半導体層と第2半導体層との短絡を防止できる。

【0137】この発明のうち請求項12にかかる半導体装置の製造方法によれば、請求項6記載の半導体装置を製造することができる。

【0138】この発明のうち請求項13又は請求項14にかかる半導体装置の製造方法によれば、請求項6記載の半導体装置を容易に製造することができる。

【0139】この発明のうち請求項15にかかる半導体装置によれば、金属化合物と半導体膜との境界から2μm以下の位置では欠陥密度が非常に低い。従ってかかる位置で形成されたpn接合におけるリーク電流を非常に小さくすることができる。

【0140】この発明のうち請求項16にかかる半導体装置によれば、pn接合の短絡を回避することができる。

【0141】この発明のうち請求項17にかかる半導体装置によれば、半導体装置上に形成される層間膜の平坦性を向上することができる。

【0142】この発明のうち請求項18にかかる半導体装置によれば、請求項17の半導体装置を製造することができる。

【0143】この発明のうち請求項19にかかる半導体装置によれば、請求項17の半導体装置を製造することができる。

【図面の簡単な説明】

【図1】 本発明の基本的思想を示す断面図である。

【図2】 本発明の基本的思想を説明するグラフである。

【図3】 本発明の基本的思想を示す平面図である。

【図4】 本発明の基本的思想を示す平面図である。

【図5】 本発明の基本的思想を示す平面図である。

【図6】 本発明の基本的思想を示す断面図である。

【図7】 本発明の基本的思想を説明するグラフである。

【図8】 本発明の基本的思想を示す平面図である。

【図9】 本発明の基本的思想を示す平面図である。

【図10】 本発明の基本的思想を示す平面図である。

【図11】 本発明の基本的思想を示す平面図である。

【図12】 本発明の実施の形態1にかかる半導体装置の構成を示す平面図である。

【図13】 本発明の実施の形態1にかかる半導体装置の構成を示す断面図である。

【図14】 本発明の実施の形態2にかかる半導体装置の構成を示す平面図である。

【図15】 本発明の実施の形態2にかかる半導体装置の構成を示す断面図である。

【図16】 図15の一部を拡大して示す断面図である。

【図17】 本発明の実施の形態3にかかる半導体装置の構成を示す平面図である。

【図18】 本発明の実施の形態3にかかる半導体装置の構成を示す断面図である。

【図19】 本発明の実施の形態3にかかる半導体装置の製造方法を工程順に示す断面図である。

【図20】 本発明の実施の形態3にかかる半導体装置の製造方法を工程順に示す断面図である。

【図21】 本発明の実施の形態3にかかる半導体装置の製造方法を工程順に示す断面図である。

【図22】 本発明の実施の形態4にかかる半導体装置の構成を示す平面図である。

【図23】 本発明の実施の形態4にかかる半導体装置の構成を示す断面図である。

【図24】 本発明の実施の形態4にかかる半導体装置の他の構成を示す平面図である。

【図25】 本発明の実施の形態4にかかる半導体装置の他の構成を示す断面図である。

【図26】 本発明の実施の形態4にかかる半導体装置の更に他の構成を示す平面図である。

【図27】 本発明の実施の形態4にかかる半導体装置の更に他の構成を示す断面図である。

【図28】 本発明の実施の形態5にかかる半導体装置の製造方法を工程順に示す断面図である。

【図29】 本発明の実施の形態5にかかる半導体装置の製造方法を工程順に示す断面図である。

【図30】 本発明の実施の形態5にかかる他の半導体装置の製造方法を工程順に示す断面図である。

【図31】 本発明の実施の形態5にかかる他の半導体装置の製造方法を工程順に示す断面図である。

【図32】 本発明の実施の形態5に係る抵抗器の構造を示す断面図である。

【図33】 本発明の実施の形態5に係る抵抗器の構造を示す断面図である。

【図34】 本発明の実施の形態5に係る抵抗器の構造を示す断面図である。

【図35】 本発明の実施の形態6にかかる半導体装置の構成を示す平面図である。

【図36】 本発明の実施の形態6にかかる半導体装置の構成を示す断面図である。

【図37】 本発明の実施の形態6にかかる半導体装置の他の構成を示す断面図である。

【図38】 本発明の実施の形態6にかかる半導体装置の他の構成を示す断面図である。

【図39】 本発明の実施の形態6にかかる半導体装置の他の構成を示す断面図である。

【図40】 本発明の実施の形態7にかかる半導体装置の構成を示す平面図である。

【図41】 本発明の実施の形態7にかかる半導体装置の構成を示す断面図である。

【図42】 本発明の実施の形態7にかかる半導体装置の他の構成を示す断面図である。

【図43】 本発明の実施の形態8にかかる半導体装置の構成を示す平面図である。

【図44】 本発明の実施の形態8にかかる半導体装置の構成を示す断面図である。

【図45】 本発明の実施の形態8にかかる半導体装置の他の構成を示す断面図である。

【図46】 部分分離体の第1の製造方法を工程順に示す断面図である。

【図47】 部分分離体の第1の製造方法を工程順に示す断面図である。

【図48】 部分分離体の第1の製造方法を工程順に示す断面図である。

【図49】 部分分離体の第1の製造方法を工程順に示す断面図である。

【図50】 部分分離体の第1の製造方法を工程順に示す断面図である。

【図51】 部分分離体の第1の製造方法を工程順に示す断面図である。

【図52】 部分分離体の第2の製造方法を工程順に示す断面図である。

【図53】 部分分離体の第2の製造方法を工程順に示す断面図である。

【図54】 部分分離体の第2の製造方法を工程順に示す断面図である。

【図55】 部分分離体の第2の製造方法を工程順に示す断面図である。

【図56】 部分分離体の第2の製造方法を工程順に示す断面図である。

【図57】部分分離体の第3の製造方法を工程順に示す断面図である。

【図58】部分分離体の第3の製造方法を工程順に示す断面図である。

【図59】部分分離体の第3の製造方法を工程順に示す断面図である。

【図60】部分分離体の第3の製造方法を工程順に示す断面図である。

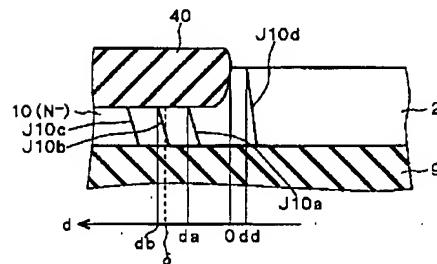
【図61】第3の製造方法によって得られる部分分離体の効果を示す断面図である。

【図62】従来のCMOSトランジスタの構成を示す断面図である。

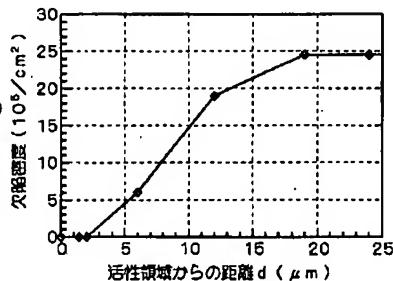
#### 【符号の説明】

1 PMOSトランジスタ、2 NMOSトランジスタ、3 半導体膜、9 絶縁体、10 N<sup>-</sup>型半導体層、20 P<sup>-</sup>型半導体層、10s, 20s シリサイド膜、10t, 20t 端部、11, 21, 21, 22 ソース/ドレイン層、13, 23, G5 ゲート電極、14, 16 P型半導体層、17, 25 N型半導体層、15, 27 P<sup>+</sup>型半導体層、24, 26a, 26b, 28 N<sup>+</sup>型半導体層、40~45 部分分離体、1000 CMOSトランジスタ、J1~J5, J41~J46, J51~J59 pn接合、R1, R2, R11 抵抗器、D1, D2 ダイオード。

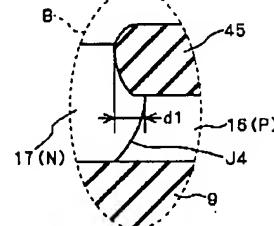
【図1】



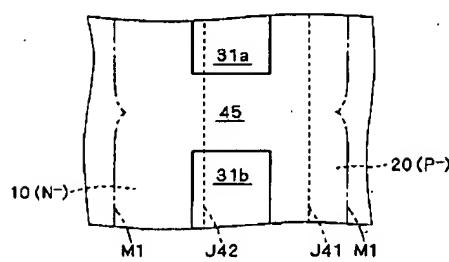
【図2】



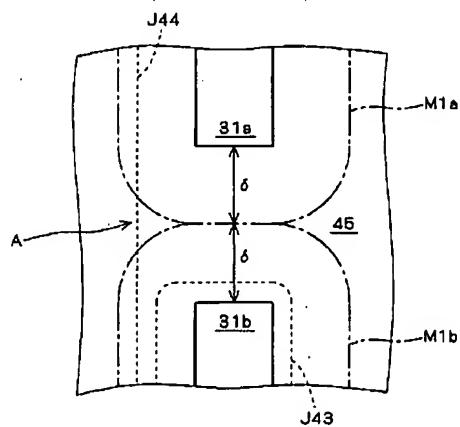
【図16】



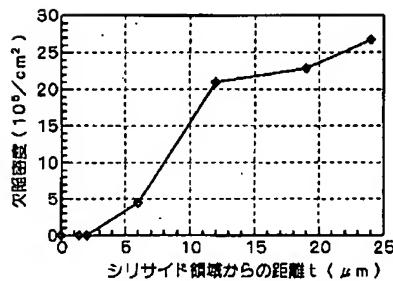
【図3】



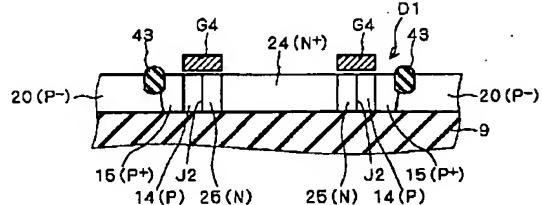
【図4】



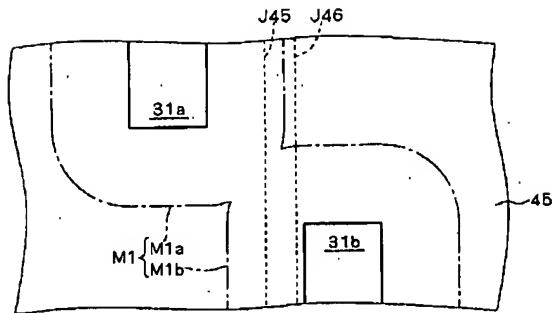
【図7】



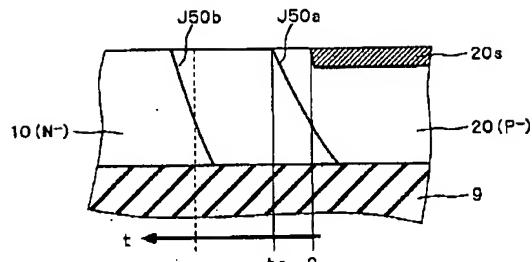
【図13】



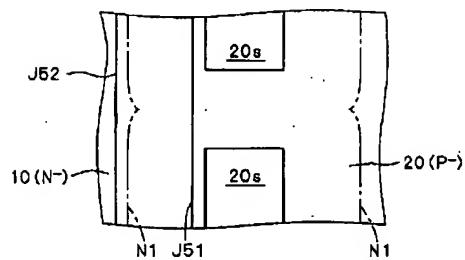
【図5】



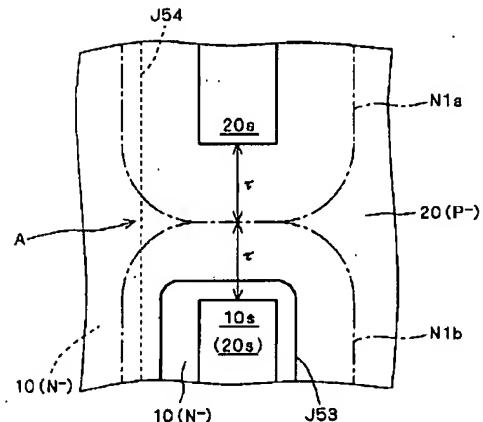
【図6】



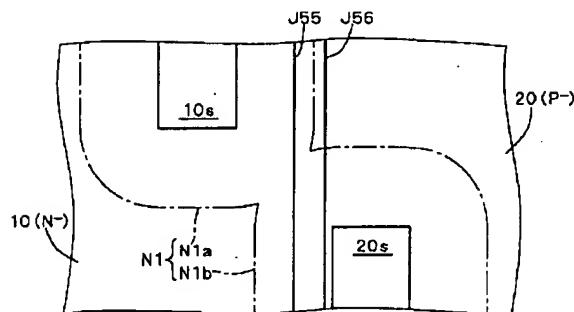
【図8】



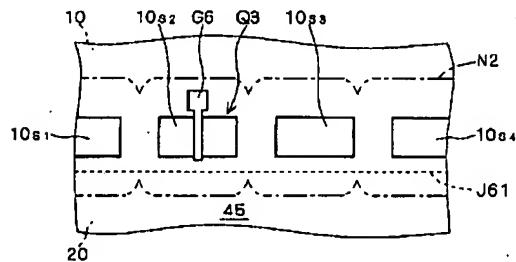
【図9】



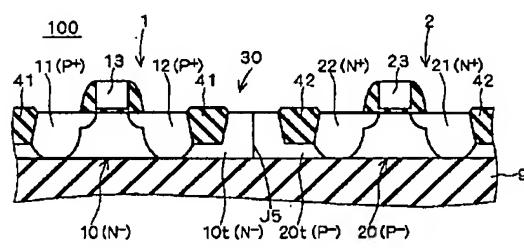
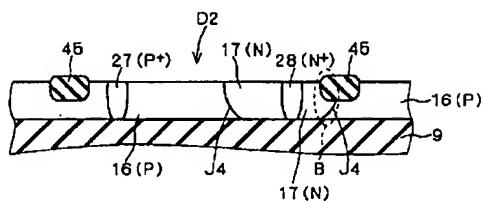
【図10】



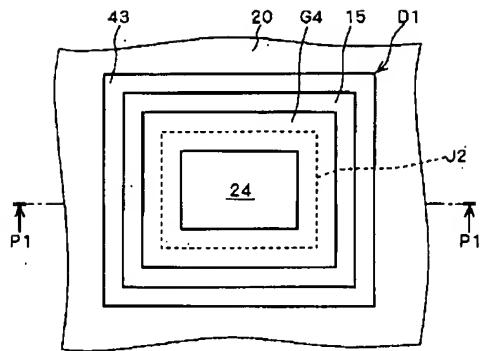
【図11】



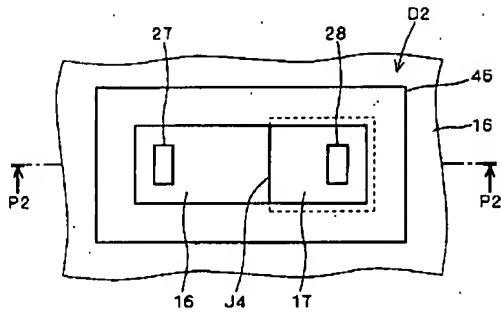
【図15】



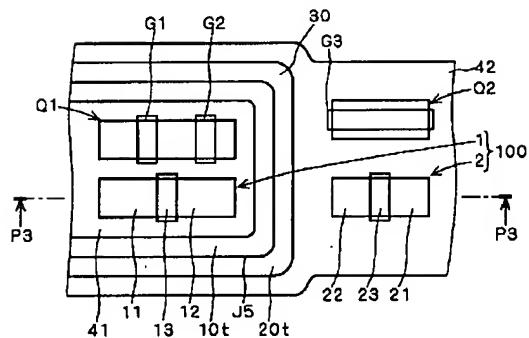
【図12】



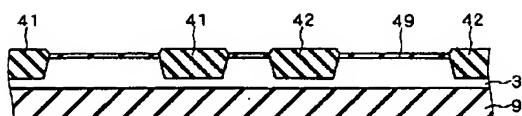
【図14】



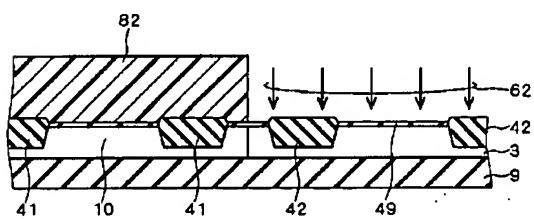
【図17】



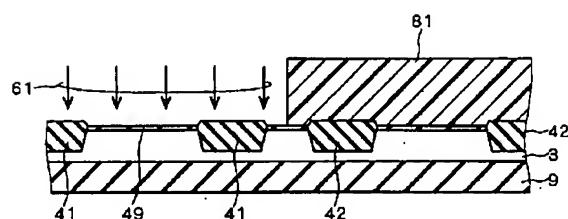
【図19】



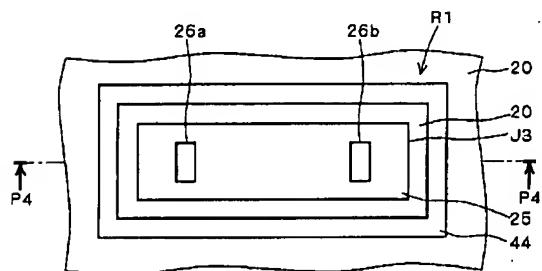
【図21】



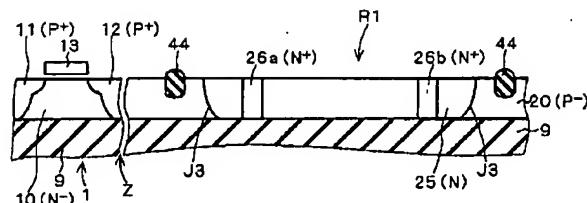
【図20】



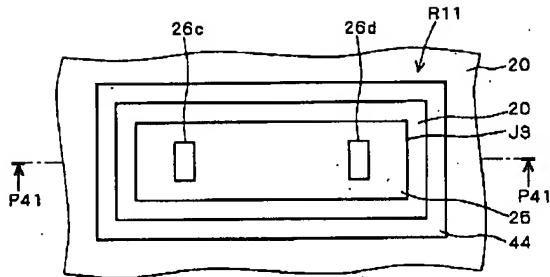
【図22】



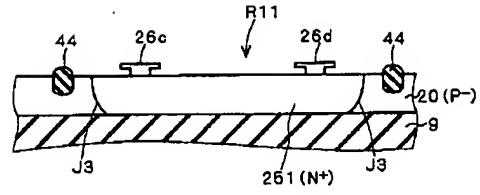
【図23】



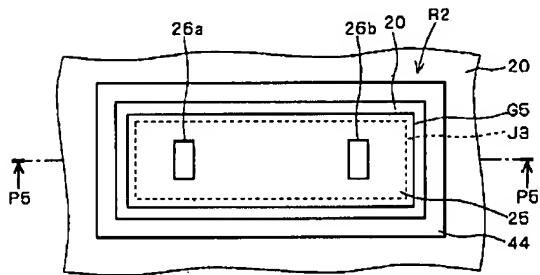
【図24】



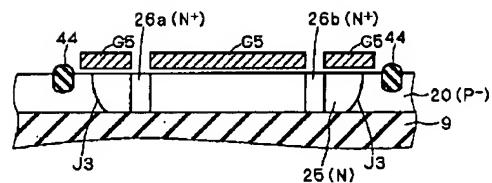
【図25】



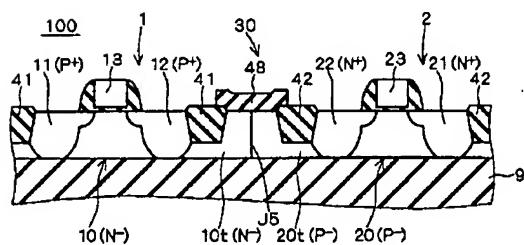
【図26】



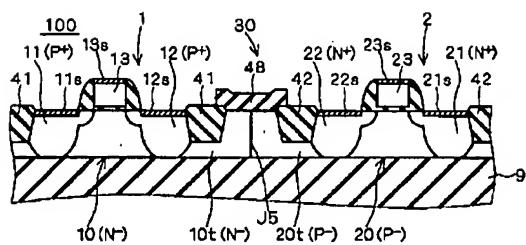
【図27】



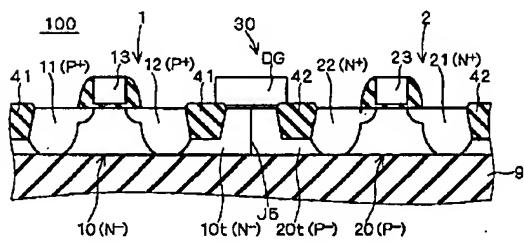
【図28】



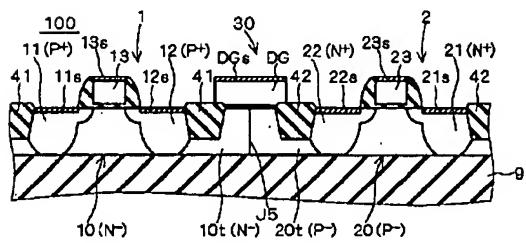
【図29】



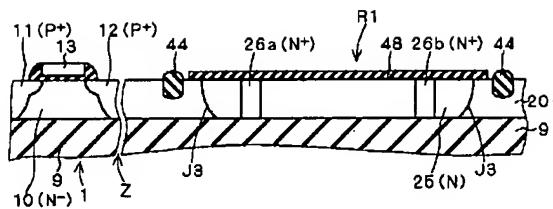
【図30】



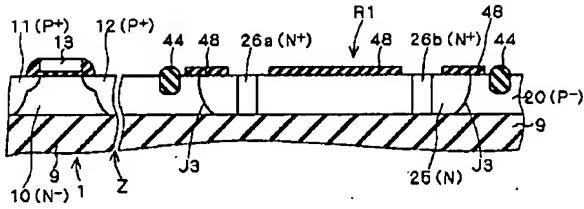
【図31】



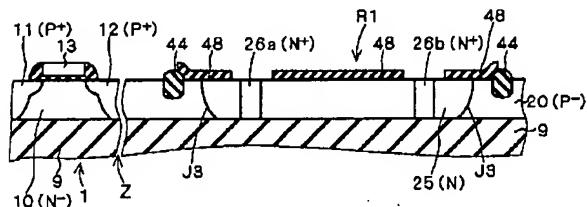
【図32】



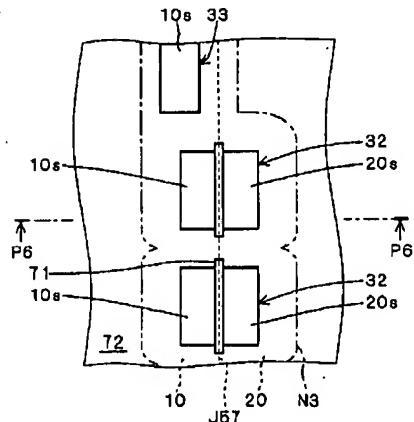
【図33】



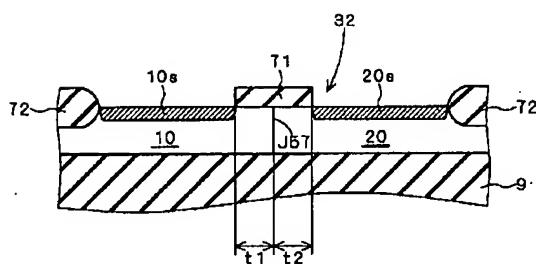
【図34】



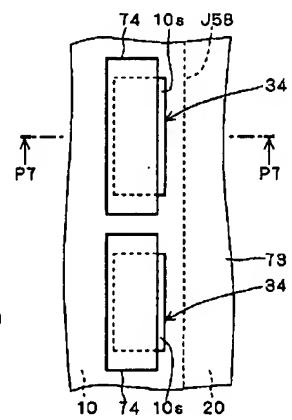
【図35】



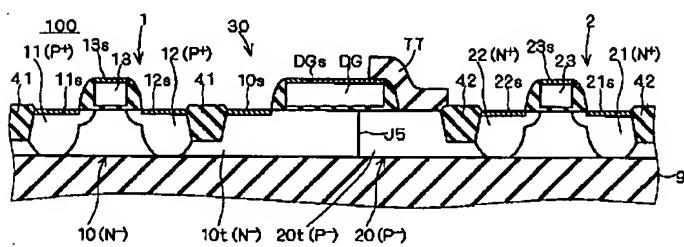
【図36】



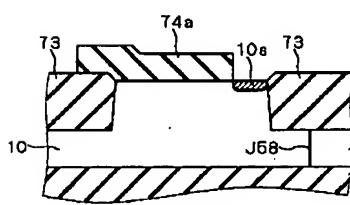
【図40】



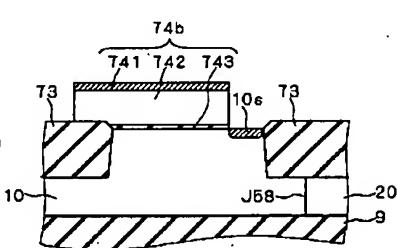
【図37】



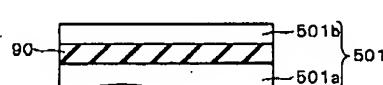
【図41】



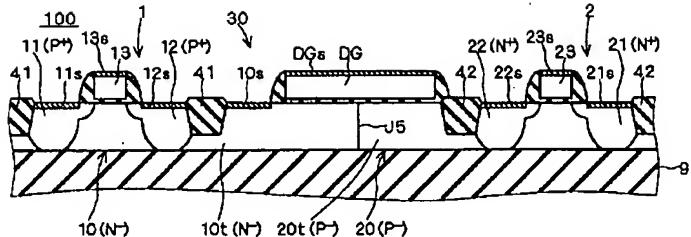
【図42】



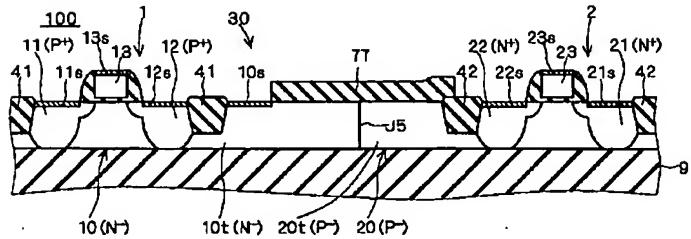
【図46】



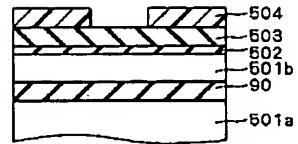
【図38】



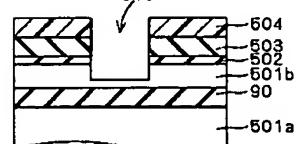
【図39】



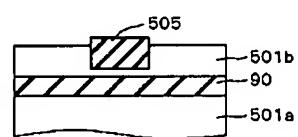
【図47】



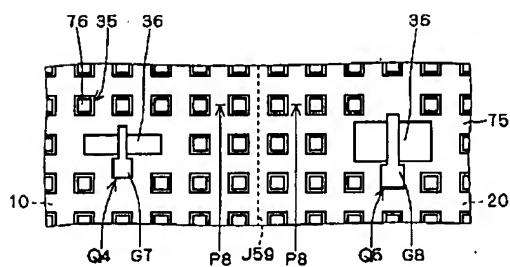
【図48】



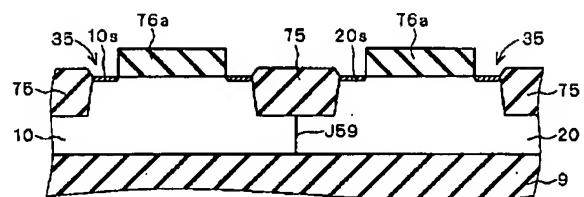
【図51】



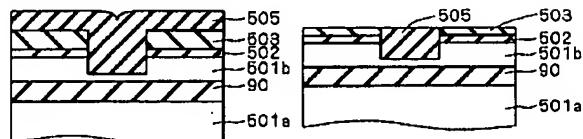
【図43】



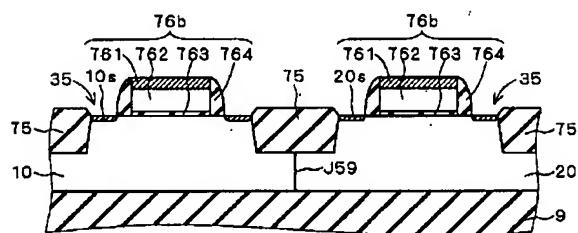
【図44】



【図49】

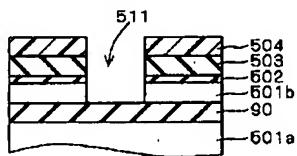


【図45】

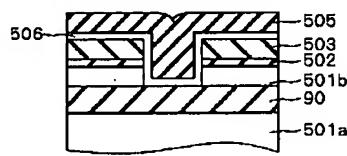


【図50】

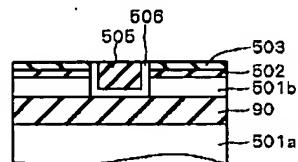
【図52】



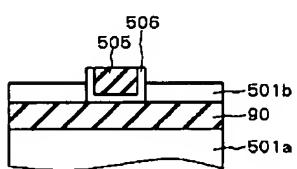
【図53】



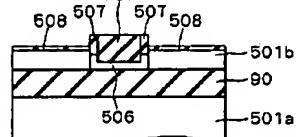
【図54】



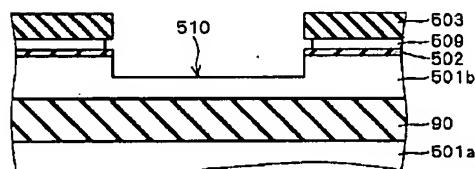
【図55】



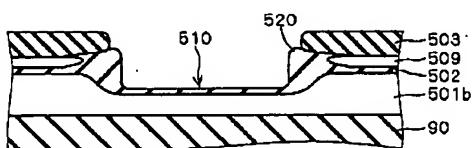
【図56】



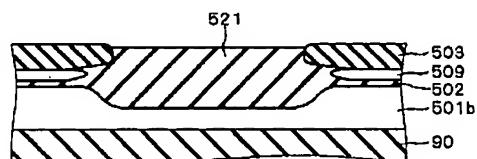
【図57】



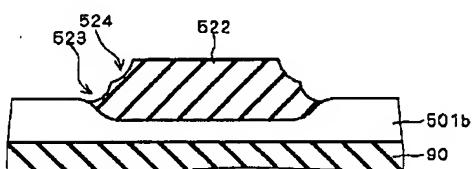
【図58】



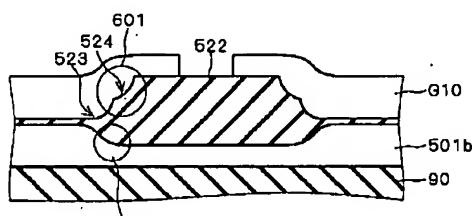
【図59】



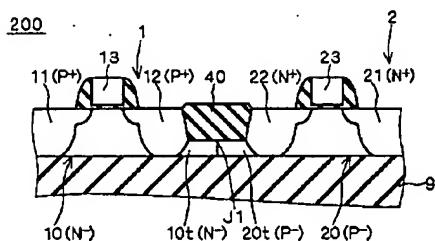
【図60】



【図61】



【図62】



フロントページの続き

F ターム(参考) 5F032 AA11 AA91 AB02 BA01 BB01  
CA14 CA15 CA17 CA20  
5F038 AR01 AR03 AR26 AV06 EZ06  
EZ20  
5F048 AA04 AC01 AC03 AC10 BA16  
BB05 BB08 BC06 BE03 BF06  
BF16 BG07 DA23  
5F110 AA06 BB04 CC02 DD05 DD13  
EE05 EE09 EE14 EE31 FF02  
GG02 GG12 GG24 GG25 GG32  
GG52 HK05 HK40 NN62 NN65  
NN71 QQ17